

McDermott Will&Emery

Boston Brussels Chicago Düsseldorf London Los Angeles Miami Milan
Munich New York Orange County Rome San Diego Silicon Valley Washington, D.C.

FACSIMILE

Date: September 14, 2007

Time Sent:

To:	Company:	Facsimile No:	Telephone No:
Ms. Karen Creasy	USPTO - Petitions Branch	571-273-0025	
From:	Michael E. Fogarty	<i>Direct Phone:</i>	202.756.8372
<i>E-Mail:</i>	mfogarty@mwe.com	<i>Direct Fax:</i>	202.756.8087
<i>Sent By:</i>	Constance Collins	<i>Direct Phone:</i>	202.756.8659
<i>Client/Matter/Tkpr:</i>	060188-0780	<i>Original to Follow by Mail:</i>	No
<i>Number of Pages, Including Cover:</i>			
Re:	Application Serial No.: 10/797,245 Group Art Unit: 2838 Allowed: June 18, 2007		

Message:

This is a Petition under 37 C.F.R. 1.313(c) for the withdrawal of this application from issue.

**PLEASE CONFIRM RECEIPT BY RETURN FACSIMILE
THANK-YOU.**

The information contained in this facsimile message is legally privileged and confidential information intended only for the use of the individual or entity named above. If the reader of this message is not the intended recipient, you are hereby notified that any dissemination, distribution, or copy of this facsimile is strictly prohibited. If you have received this facsimile in error, please notify us immediately by telephone and return the original message to us at the below address by mail. Thank you.

IF YOU DO NOT RECEIVE ALL OF THE PAGES, PLEASE CALL CONSTANCE COLLINS AS SOON AS POSSIBLE.

Main Facsimile: 202.756.8087 Facsimile Operator: 202.756.8090

U.S. practice conducted through McDermott Will & Emery LLP,
600 Thirteenth Street, N.W. Washington, D.C. 20005-3096 Telephone: 202.756.8000

R、G、Bの画素で異なることが好ましい。各色の画素でEL材料が異なり、このEL材料の立ち上がり電圧などに差異があるためである。RGBの各画素で、同一材料に適応して、もっとも最適な時間を設定する。なお、実施例において、この期間は1H以上5H以下にするとしたが、黒挿入（黒画面を書き込む）を中心とする駆動方式では、5H以上であってもよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

第33図(a)に示す状態を実施後、1H以上5H以下の期間において、第33図(b)に示す状態にする。第33図(b)はトランジスタ11c、トランジスタ11bをオンさせ、トランジスタ11dをオフさせた状態である。第33図(b)に示す状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ14からプログラム電流Iwを出力（あるいは吸收）し、このプログラム電流Iwを駆動用トランジスタ11aに流す。このプログラム電流Iwが流れるように、駆動用トランジスタ11aのゲート(G)端子の電位を設定するのである（設定電位はコンデンサー19に保持される）。

もし、プログラム電流Iwが0(A)であれば、トランジスタ11aは第33図(a)に示す電流を流さない状態が保持されままとなるから、良好な黒表示を実現できる。また、第33図(b)に示す状態で白表示の電流プログラムを行う場合であって、各画素の駆動用トランジスタの特性バラツキが発生しているときでも、黒表示状態のオフセット電圧から電流プログラムを完全に行うことができる。したがって、目標の電流値にプログラムされる時間が増加に応じて等しくなる。そのため、トランジスタ11aの特性バラツキによる階調誤差なく、良好な画像表示を実現できる。

第33図(b)に示す状態の電流プログラミング後、第33図(c)に図示するように、トランジスタ11bとトランジスタ11cをオフし、トランジスタ11bをオンさせて、駆動用トランジスタ11aから

のプログラム電流Iw(=Ie)をEL素子15に流し、EL素子15を発光させる。第33図(c)に関してても、第1回などで以前に説明したので詳細は省略する。

つまり、第33図で説明した駆動方式（リセット駆動）は、駆動用トランジスタ11aとEL素子15間とを切断（電流が流れない状態）しかつ、駆動用トランジスタのドライン(D)端子とゲート(G)端子（もしくはソース(S)端子）とゲート(G)端子、さらに一般的に表現すれば駆動用トランジスタのゲート(G)端子を含む2端子）との間をショートする第1の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行なう第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行なうものである。なお、リセット駆動を実施するためには、第32図の構成のように、トランジスタ11bとトランジスタ11cとを独立に駆動できるように、構成しておかねばならない。

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、1行後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ11dがオフだからである。），次に、EL素子15に電流が供給され、画素行は所定輝度（プログラムされた電流）で発光する、つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が書きすぎた位置で画像が書き換わっていくよう見えるはずである。なお、リセット後、1H後に電流プログラムを行うとしたがこの期間は、5H程度以内としてもよい。第33図(a)に示すリセットが完全に行われるのに比較的長時間が必要とするからである。もし、この期間を5Hとすれば、5画素行が黒表示（電流プログラムの画素行も含めると6画素行）となるはずである。

また、リセット状態は1画素行ずつを行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてしまい。また、複数画素行も

WO 03071998

PCTJP20030664

WO 03071998

61

つ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、4画素行を同時にリセットするのであれば、第1の水平走査期間（1単位）に、画素行（1）（2）（3）（4）をリセット状態にし、次の第2の水平走査期間に、画素行（3）（4）（5）（6）をリセット状態にし、さらに次の第3の水平走査期間に、画素行（5）（6）（7）（8）をリセット状態にする。また、次の第4の水平走査期間に、画素行（7）（8）（9）（10）をリセット状態にするという駆動状態が例示される。なお、当然、第3図（b）、第3図（c）に示す駆動状態も第3図（a）に示す駆動状態と同期して実施される。

10 また、1画面の画素すべてを同時に走査状態でリセット状態にしてから、第3図（a）、（c）に示す駆動を実施してもよいことは、また、インターレース駆動状態（1画素行あるいは複数画素行の飛び越し走査）で、リセット状態（1画素行あるいは複数画素行飛び越し）にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施して下さい。また、本発明のリセット駆動の説明は、画素行を操作する方式である（つまり、画面の上下方向の制御する）。しかし、リセット駆動の概念は、制御方向が互換性に限定されるものではない、たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでない。

15 なあ、第3図に示すリセット駆動は、本発明のN倍バス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に第22図に示す構成は、間欠N/K倍バス駆動（1画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線17bを制御し、トランジスタ11dをオンラインオフ動作させることにより容易に実現できる。このことは以前に説明をした。）を容易に実現できるので、フリックカの発生もなく、良好な画像表示を実現できる。これは、第22図に示した構成あるいはその変形構成のすぐれた特徴である。また、他の駆動方法、たとえば、以降の説

明する逆バイアス駆動方式、ブリッヂ駆動方式、突き抜け電圧駆動方式などと組み合わせることによりさらによれれた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせて実施することができるることは言うまでもない。

5 第34図はリセット駆動を実現する表示装置の構成図である。ゲートドライバ12aは、第32図におけるゲート信号線：7aおよびゲート信号線17bを制御する。ゲート信号線17aにオンオフ電圧を印加することによりトランジスタ11bがオンオフ制御される。また、ゲート10 信号線：7bにオンオフ電圧を印加することによりトランジスタ11dがオンオフ制御される。ゲートドライバ12aは、第32図におけるゲート信号線17cを制御する。ゲート信号線17cにオンオフ電圧を印加することによりトランジスタ11cがオンオフ制御される。したがって、ゲート信号線17aはゲートドライバ12aで操作し、ゲート信号線17cはゲートドライバ12bで操作する。そのため、トランジスタ11bをオンさせて駆動用トランジスタ11aをリセットするタイミングと、トランジスタ11cをオンさせて駆動用トランジスタ11aに電流プログラムを行なうタイミングとを自由に設定できる。なお、第34において3413は出力段回路を示している。他の構成は20 どは、以前に説明したものと同一または類似するため説明を省略する。

第35図はリセット駆動のタイミングチャートである。ゲート信号線17aにオン電圧を印加し、トランジスタ11aをオンさせ、駆動用トランジスタ11bをリセットしている時には、ゲート信号線17bにはオフ電圧を印加し、トランジスタ11dをオフ状態にしている。したが25 つて、第32図（a）の状態となっている。この期間に電流11bが流れる。

第35図に示すタイミングチャートでは、リセット時間は2H（ゲート信号線17aにオン電圧が印加され、トランジスタ11bがオンす

る)としているが、これに限定するものではない。2 H以上でもよい。
また、リセットが極めて高速に行える場合は、リセット時間は1 H未満であつてもよい。また、リセット時間は何H期間にするかはゲートドライバ1 2に入力するDATA (S T) バルス期間で容易に変更できる。

たとえば、S T端子に入力するDATAを2 H期間の間Hレベルとすれば、各ゲート信号線1 7 aから出力されるリセット時間は2 H期間となる。同様に、S T端子に入力するDATAを5 H期間の間Hレベルとすれば、各ゲート信号線1 7 aから出力されるリセット時間は5 H期間となる。

- 10 1 H期間のリセット後、画素行(1)のゲート信号線1 7 c (1)に、
オン電圧が印加される。トランジスタ1 1 cがオンすることにより、ソ
ース信号線1 8に印加されたプログラム電圧電流1 wがトランジスタ1 1
cを介して駆動用トランジスタ1 1 aに書き込まれる。
- 15 電流プログラム後、画素行(1)のゲート信号線1 7 cにオフ電圧が
印加され、トランジスタ1 1 cがオフし、画素がソース信号線1 8と完
り離される。同時に、ゲート信号線1 7 aにもオフ電圧が印加され、駆
動用トランジスタ1 1 aのリセット状態が解消される(なお、この期間
は、リセット状態と表現するよりも、電流プログラム状態と表現する方
が適切である)。また、ゲート信号線1 7 bにはオン電圧が印加され、
トランジスタ1 1 dがオンして、駆動用トランジスタ1 1 aにプログラ
ムされた電流がE s し系子1 5に流れれる。なお、画素行(2)以降につい
ても、画素行(1)と同じであり、また、第3 5図からその動作は明らか
であるから説明を省略する。
- 20 第3 5図において、リセット時間は1 H期間であった。第3 6図はリ
セット時間を5 Hとした実施例である。リセット時間は何H期間にする
かはゲートドライバ1 2に入力するDATA (S T) バルス期間で容易
に変更できる。第3 6図ではゲートドライバ1 2 aのS T1端子に入力
するDATAを5 H期間の間Hレベルとし、各ゲート信号線1 7 aから

出力されるリセット時間は5 H期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。
しかし、リセット時間の割合だけ表示輝度が低下することになる。

第3 6図はリセット時間5 Hとした実施例であった。また、このリ
セット状態は連続状態であった。しかし、リセット状態は連続して行う
ことに異定されるものではない。たとえば、各ゲート信号線1 7 aから
出力される信号を1 Hごとにオンオフ動作させてもよい。このようにオ
ンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブ
ル回路(図示せず)を操作することにより容易に実現できる。また、ゲ
ートドライバ1 2に入力するDATA (S T) パルスを駆動することで
容易に実現できる。

- 25 第3 4図に示す回路構成では、ゲートドライバ1 2 aは少なくとも2
つのシフトレジスタ回路(1つはゲート信号線1 7 aの制御用、他の1
つはゲート信号線1 7 bの制御用)が必要であった。そのため、ゲート
ドライバ1 2 aの回路規模が大きくなるという課題があつた。第3 7 図
はゲートドライバ1 2 aのシフトレジスタを1つにした実施例である。
第3 7 図に示す回路を駆動させた出力信号のタイミングチャートは第
3 5図に示すようになる。なお、第3 5図と第3 7図とはゲートドライ
バ1 2 a、1 2 bから出力されているゲート信号線1 7 の記号が異なっ
ているので注意が必要である。
- 30 第3 7 図に示す構成にはOR回路3 7 1が附加されていることから
明らかであるが、各ゲート信号線1 7 aの出力は、シフトレジスタ回路
6 : この前段出力とのORをとつて出力される。つまり、2 H期間、ゲ
ート信号線1 7 aからはオン電圧が出力される、一方、ゲート信号線1
25 7 cはシフトレジスタ回路6 1 aの出力がそのまま出力される。したが
って、1 H期間の間、オン電圧が印加される。
たとえば、シフトレジスタ回路6 1 aの2番目にHレベル信号が出力
されているとき、画素1 6 (1)のゲート信号線1 7 cにオン電圧が出

力され、画素 16 (1) が電流 (電圧) プログラムの状態となる。同時に、画素 16 (2) のゲート信号線 17 a にもオン電圧が出力され、画元 16 (2) のトランジスタ 11 b がオン状態となり、画素 16 (2) の駆動用トランジスタ 11 a がリセットされる。

5 同様に、シフトレジスタ回路 61 a の 3 番目に H レベル信号がが出力されているとき、画素 16 (2) のゲート信号線 17 c にオン電圧が出力され、画素 16 (2) が電流 (電圧) プログラムの状態となる。同時に、画素 16 (3) のゲート信号線 17 a にもオン電圧が出力され、画素 16 (3) トランジスタ 11 b がオン状態となり、画素 16 (3) 駆動用トランジスタ 11 a がリセットされる、つまり、2 H 期間、ゲート信号線 17 a からはオン電圧が出力され、ゲート信号線 17 c に 1 H 期間、オン電圧が出力される。

プログラム状態のときは、トランジスタ 11 b とトランジスタ 11 c とが同時にオン状態となる(第 33 図 (b))ため、非プログラム状態(第 33 図 (c))に移行する際、トランジスタ 11 c がトランジスタ 11 b よりも先にオフ状態となると、第 33 図 (b) のリセット状態となつてしまふ。これを防止するためには、トランジスタ 11 c をトランジスタ 11 b よりもあとからオフ状態にする必要がある。そのためには、ゲート信号線 17 a がゲート信号線 17 c よりも先にオン電圧が印加されるように制御する必要がある。

以上の実施例は、第 32 図(基本的には第 1 図)に示す画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、第 38 図に示すようなカレントミラーの画素構成であっても実施することができる。なお、第 38 図ではトランジスタ 11 c をオンオフ制御することにより、第 13 図、第 15 図などで図示する N 倍バルス駆動を実現できる。第 38 図は第 38 図のカレントミラーの画素構成での実施例の説明図である。以下、第 39 図を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

- 第 39 図 (a) に図示するように、トランジスタ 11 c、トランジスタ 11 e をオフ状態にし、トランジスタ 11 d をオン状態にする。すると、電流プログラム用トランジスタ 11 b のドライン (D) 端子とゲート (G) 端子とはショート状態となり、図に示すように電流 14 が流れ 5 3。一般的に、トランジスタ 11 b は 1 つ前のフィールド (フレーム) で電流プログラムされ、電流を出す能力がある(ゲート電位はコンデンサ 9 に 1 下期保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない)。この状態でトランジスタ 11 e をオフ状態とし、トランジスタ 11 d をオン状態 10 にすれば、駆動電流 1 b がトランジスタ 11 a のゲート (G) 端子の方に向に流れ(ゲート (G) 端子とドライン (D) 端子がショートされる)。そのため、トランジスタ 11 a のゲート (G) 端子とドライン (D) 端子とが同一電位となり、トランジスタ 11 a はリセット(電流を流さない状態)になる。また、駆動用トランジスタ 11 b のゲート (G) 端子 15 は電流プログラム用トランジスタ 11 a のゲート (G) 端子と共通であるから、駆動用トランジスタ 11 b もリセット状態となる。
- このトランジスタ 11 a、トランジスタ 11 b のリセット状態(電流を流さない状態)は、第 51 図などで説明する電圧オフセットキャセラ 20 方式のオフセット電圧を保持した状態と等価である。つまり、第 39 図 (a) の状態では、コンデンサ 19 の端子間に、オフセット電圧(電流が流れ始める開始電圧)この電圧の絶対値以上の電圧を印加することにより、トランジスタ 11 e に電流が流れ)が保持されていることになる。このオフセット電圧はトランジスタ 11 a、トランジスタ 11 b の特性に応じて異なる電圧値となる。したがって、第 39 図 (a) の動作 25 を実施することにより、各画素のコンデンサ 19 にはトランジスタ 11 a、トランジスタ 11 b が電流を流さない(つまり、黒表示電流(ほどんど 0 に等しい))状態が保持されることになるのである(電流が流れ始める開始電圧にリセットされる)。

WO 03/077998

PCT/JP02/09668

87

なお、第39図(a)においても第33図(a)と同様に、リセットの実施時間を長くするほど、Iw電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、第39図(e)の実施時間は固定値にする必要がある。発明者等の実験および検討によれば、第39図(e)の実施時間は、1H以上10H(10水平走査期間)以下とすることが好ましい。さらには1H以上5H以下にすることが好ましい。あるいは、20μsec以上2msec以下とすることが好ましい。このことは第33図に示す駆動方式でも同様である。

第33図(a)も同様であるが、第39図(a)に示すリセット状態と、第39図(c)に示す電流プログラム状態とを同期をとつて行う場合は、第39図(a)に示すリセット状態から、第39図(b)に示す電流プログラム状態までの時間が固定値(一定値)となるから問題はない(固定値にされている)。つまり、第33図(a)あるいは第39図(c)に示すリセット状態から、第33図(c)あるいは第39図(b)に示す電流プログラム状態までの時間が、1H以上10H(10水平走査期間)以下となることが好ましい。さらには1H以上5H以下にすることが好ましいのである。この期間が短いと駆動用トランジスタ11が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ11が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面50の角度も低下する。

第39図(a)を実施後、第39図(b)に示す状態にする。第39図(b)はトランジスタ11c、トランジスタ11dをオンさせ、トランジスタ11eをオフさせた状態を示している。第39図(b)の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ14からアノード電流Iwを出力(あるいは吸収)し、このプログラム電流Iwを電流プログラム用トランジスタ11aに流す。このプログラム電流Iwが流れるように、駆動用トランジスタ11bのゲート

(G) 端子の電位をコンデンサ19に設定するのである。

もし、プログラム電流Iwが0(A)(黒表示)であれば、トランジスタ11bは第33図(a)の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、第39図(b)で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バランスが発生していても、黒表示状態のオフセット電圧(各駆動用トランジスタの特性に応じて設定された電流が流れれる開始電圧)から電流プログラムを完全に行う、したがって、目標の電流値にプログラムされる時間が階層に応じて等しくなる。そのため、トランジスタ11aあるいはトランジスタ11bの特性バラツキによる階層誤差がなく、良好な画素表示を実現できる。

第39図(b)の電流プログラム後、第39図(c)に図示するように、トランジスタ11cとトランジスタ11dをオフし、トランジスタ11eをオンさせて、駆動用トランジスタ11bからのプログラムム電流Iw(=Ie)をE1端子15に流し、E2端子15を発光させる。第39図(c)に關しても、以前に説明をしたので詳細は省略する。第33図、第39図で説明した駆動方式(リセット駆動)は、駆動用トランジスタ11aあるいはトランジスタ11lとE1端子15との間を切離(電流が流れない状態、トランジスタ11eあるいはトランジスタ11dで行う)し、かつ、駆動用トランジスタのドライン(D)端子とゲート(G)端子(もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば駆動用トランジスタのゲート(G)端子を含む2端子)との間をショートする第1の動作と、前記動作の後、駆動用トランジスタに電流(電圧)プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。なお、第1の動作に沿ける駆動用トランジスタ11aあるいはトランジスタ11lとE1端子15との間を切離するという動作は、必ずしも必須の条件ではない。もし、第1の動作における駆動用トランジ

スター11aあるいはトランジスタ11bとE.L.素子15との間を切断せずに、駆動用トランジスタのドレイン(D)端子とゲート(G)端子との間をショートする第1の動作を行っても多少のリセット状態のパラツキが発生する程度で済む場合があるからである。これは、作製した5アレイのトランジスタ特性を検討して決定する。

第3-9図に示すカレントミラーの画素構成は、電流プログラムトランジスタ11aをリセットすることにより、結果として駆動用トランジスタ11bをリセットする駆動方法であった。

第3-9図に示すカレントミラーの画素構成において、リセット状態では、必ずしも駆動用トランジスタ11bとE.L.素子15との間を切断する必要はない。したがって、電流プログラム用トランジスタaのドレン(D)端子とゲート(G)端子(もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート(G)端子を含む2端子、あるいは駆動用トランジスタのゲート(G)端子を含む2端子)との間をショートする第1の動作と、前記動作の後、電流プログラム用トランジスタに電流(電圧)プログラムを行なう第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行なうものである。

画像表示状態は(もし、瞬時的な変化が観察できるのであれば)、まことに、所定日後に電流プログラムが行われる画面の上から下方に向、黒表示の画素行が移動し、この画素行が過ぎすぎた位置で画像が書き換わっていくように見えるはずである。

以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。第4-3図は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成(バネル構成)の説明図である。第4-3図の画素構成では、駆動用トランジスタ11aをリセット動作

させるためのトランジスタ11eが形成されている。ゲート信号線17eにオン電圧が印加されることにより、トランジスタ11eがオンし、駆動用トランジスタ11aのゲート(G)端子とドレイン(D)端子との間をショートさせる。また、E.L.素子15と駆動用トランジスタ11aとの電流経路を切断するトランジスタ11dが形成されている。以下、第4-4図を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

第4-4図(a)に図示するように、トランジスタ11bとトランジスタ11dとをオフ状態にし、トランジスタ11eをオン状態にする、駆動用トランジスタ11aのドレイン(D)端子とゲート(G)端子とはショート状態となり、図に示すように電流I₁が流れ、そのため、トランジスタ11aのゲート(G)端子とドレイン(D)端子とが同一電位となり、駆動用トランジスタ11aはリセット(電流を流さない状態)になる。なお、トランジスタ11aをリセットする前に、第3-3図あるいは第3-9図で説明したように、HD同期信号に同期して、最初にトランジスタ11dをオンさせ、トランジスタ11eをオフさせて、トランジスタ11aに電流を流しておく。その後、第4-4(a)に示す動作を実施する。

このトランジスタ11a、トランジスタ11bのリセット状態(電流を流さない状態)は、第4-1図などで説明した電圧オフセットキャセラ方式のオフセット電圧を保持した状態と等価である。つまり、第4-4図(a)の状態では、コンデンサ19の端子間に、オフセット電圧(リセット電圧)が保持されていることになる。このリセット電圧は駆動用トランジスタ11aの特性に応じて異なる電圧値となる。つまり、第4-4図(a)の動作を実施することにより、各画素のコンデンサ19には駆動用トランジスタ11aが電流を流さない(つまり、黒表示電流(ほんどりに等しい))状態が保持されることになるのである(電流が流れ始める開始電圧にリセットされる)。

なお、電圧プログラムの画面構成においても、電流プログラムの画面構成と同様に、第44図(a)のリセットの実施時間を長くするほど、Ib電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、第44図(b)の実施時間は固定値にする必要がある。実験時間は、0.2H以上SH(5水平走査期間)以下とすることが好ましい、さらには0.5H以下にすることがほしい。あるいは、2μsec以上400usec以下とするこトが好ましい。

• زیرا میلادت نیز روز است -

また、ゲート信号線 17 e は前段の画素行のゲート信号線 17 a と共に用いておくことが好みまい。つまり、ゲート信号線 17 e と前段の画素行のゲート信号線 17 a とをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも 1 行前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、1 画素行前に固定されるものではない。これとえれば、2 画素行前のゲート信号線の信号波形を用いて着目画素行の

運動用トランジスタ 13のリヤットを実験 | アキト

前段ゲート駆動方式をさらによく理解するため、ゲート駆動回路の構成と動作について述べることにする。前段ゲート駆動方式を具体的に記載すれば以下のようなものである。
まず、ゲート駆動回路の構成を述べる。ゲート駆動回路は、ゲート信号線をゲート電極に接続する画素行を (N) 画素行とし、そのゲート電極と、ゲート信号線をゲート電極に接続する画素行を $(N-1)$ 画素行とし、そのゲート電極と、ゲート信号線をゲート電極に接続する画素行を $(N-2)$ 画素行とする。また、着目する画素行を (N) 画素行とし、そのゲート電極と、ゲート信号線をゲート電極に接続する画素行を $(N-1)$ 画素行とし、そのゲート電極と、ゲート信号線をゲート電極に接続する画素行を $(N-2)$ 画素行とする。また、着目する画素行の次の 1 H後に選択される画素行を $(N+1)$ 画素行とし、そのゲート電極と、ゲート信号線をゲート電極に接続する画素行を $(N+2)$ 画素行とする。

卷之三

第 $(N-1)$ H期間では、第 $(N-1)$ 直系行のゲート信号線 $17e$ と $N-1$ にオン電圧が印加されると、第 (N) 画素行のゲート信号線 $17e(N)$ にもオン電圧が印加される。ゲート信号線 $17e(N)$ と該段の画素行のゲート信号線 $17a(N-1)$ とがショート状態で形成されているからである。したがって、第 $(N-1)$ 画素行の画素のトラ
 $N+1$) とする。

ンジスター 11 b (N-1) がオンし、ソース信号線 1-8 の電圧が駆動用トランジスター 11 a (N-1) のゲート (G) 端子に書き込まれる。同時に、第 (N) 画素行の画素のトランジスタ 11 e (N) がオンし、駆動用トランジスター 11 c (N) のゲート (G) 端子とドレイン (D) 端子との間がショートされ、駆動用トランジスタ 11 e (N) がリセットされる。

第 (N-1) H期間の次の第 (N) 期間では、第 (N) 画素行のゲート信号線 17 a (N) にオン電圧が印加されると、第 (N+1) 画素行のゲート信号線 17 e (N+1) にもオン電圧が印加される。したがって、第 (N) 画素行の画素のトランジスタ 11 a (N) がオンし、ソース信号線 18 に印加されている電圧が駆動用トランジスタ 11 a (N) のゲート (G) 端子に書き込まれる。同時に、第 (N+1) 画素行の画素のトランジスタ 11 e (N+1) がオンし、駆動用トランジスタ 11 a (N+1) のゲート (G) 端子とドレイン (D) 端子との間がショートされ、駆動用トランジスタ 11 a (N+1) がリセットされる。

以下同様に、第 (N) H期間の次の第 (N+1) H期間において、第 (N+1) 画素行のゲート信号線 17 a (N+1) にオン電圧が印加されると、第 (N-2) 画素行のゲート (G) 端子とドレイン (D) 端子との間にオノン電圧が印加される。したがって、第 (N+1) 画素行の画素のトランジスタ 11 b (N+1) がオンし、ソース信号線 18 に印加されている電圧が駆動用トランジスタ 11 a (N+1) のゲート (G) 端子に書き込まれる。同時に、第 (N+2) 画素行の画素のトランジスタ 11 e (N+2) がオンし、駆動用トランジスタ 11 a (N+2) のゲート (G) 端子とドレイン (D) 端子との間がショートされ、駆動用トランジスタ 11 a (N+2) がリセットされる。

以上の本発明の前段ゲート制御方式では、1 H期間、駆動用トランジスタ 11 a はリセットされ、その後、電圧 (電流) プログラムが実施される。

第33図(a)も同様であるが、第44図(a)のリセット状態と、

第44図(b)の電圧プログラム状態とを同期をとつて行う場合は、第44図(a)のリセット状態から、第44図(b)の電流プログラム状態までの期間が固定値(一定値)となるから問題はない(固定値にされている)。この期間が短いと駆動用トランジスタ11が完全にオフ状態となり、今度は電流をプログラムするのに長時間要するようになる。また、画面12の輝度も低下する。

第44図(a)に示す状態を実施後、第44図(b)に示す状態にする。第44図(b)はトランジスタ11bをオンさせ、トランジスタ11eとトランジスタ11dをオフさせた状態である。第44図(c)に示す状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ14からプログラム電圧を出力し、このプログラム電圧を駆動用トランジスタ11aのゲート(G)端子に書き込む(駆動用トランジスタ11aのゲート(G)端子の電位をコンデンサ19に設定する)。

なお、電圧プログラム方式の場合、電圧プログラム時にトランジスタ11dを必ずしもオフさせる必要はない。また、第13図、第15図などのN倍バルス駆動などと組み合わせること、あるいは以上のようない間欠N/K倍バルス駆動(1画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ11eをオンオフ動作させることにより容易に実現できる)を実施する必要がなければ、トランジスタ11eは不要である。このことは以前に説明をしたので、説明を省略する。

第43図に示す構成あるいは第44図の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性パラメータが発生していても、黒表示状態のオフセット電圧(各駆動用トランジスタの特性に応じて設定された電流が流れれる開始電圧)から電圧プログラムを完全に行う。したがって、目標の電流値にプログラムされる時間が時間に応じて等しくなる。そのため、トランジスタ11aの特性パラメタ

による階調誤差がなく、良好な画像表示を実現できる。

第44図(b)に示す電流プログラミング後、第44図(c)に図示するように、トランジスタ11bをオフし、トランジスタ11dをオンさせて、駆動用トランジスタ11aからのプログラム電流をEL素子15に5に流し、EL素子15を発光させる。

以上のよう、第43図の電圧プログラムにおける本発明のリセット駆動は、まず、HD同期信号に同期して、最初にトランジスタ11dをオンさせ、トランジスタ11eをオフさせて、トランジスタ11aに電流を流す第1の動作と、トランジスタ11aのドライン(D)端子とゲート(G)端子(もしくはソース(S)端子とゲート(G)端子、さらに一般に表現すれば駆動用トランジスタのゲート(G)端子を含む2端子)との間をショートする第2の動作と、前記動作の後、駆動用トランジスタ11aに電圧プログラムを行う第3の動作とを実施するものである。

以上の実施例では、駆動用トランジスタ素子11a(第1図の画素構成の場合)から至る素子15に流す電流を制御するのに、トランジスタ11dをオンオフさせて行う。トランジスタ11dをオンオフさせるためには、ゲート信号線17bを走査する必要があり、走査のためにシフトレジスタ61(ゲート回路12)が必要となる。しかし、シフトレジスタ61は規模が大きく、ゲート信号線17bの制御にシフトレジスタ61を用いたのでは実現化できない。第40図を参照して説明する方式は、この難題を解決するものである。

なお、本発明は、主として第1図などに図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、第38図などで説明した他の電流プログラム構成(カレントミラーの画素構成)であっても適用できることはいうまでもない。また、ロックマスクオフする技術的概念は、第41図などの電圧プログラムの画素構成で

WO 03 017998

PCT/JPO200668

95

あつても適用できることは言うまでもない。また、本発明は、Eし業子 15 に流れる電流を間欠にする方式であるから、第 50 図などを参照して説明する逆バイアス電圧を印加する方式とも組み合わせることができることは言うまでもない。以上のように、本発明は他の実施例と組み合わせて実施することができる。

第 40 図はブロック駆動方式の実施例を示している。まず、説明を容易にするため、ゲートドライバ 12 は基板 71 に直接形成したか、もしくはシリコンチップのゲートドライバ 12 を基板 71 に積載したとして説明をする。また、ソースドライバ 14 およびソース信号線 18 は図 10 面が煩雑になるため省略する。

第 40 図において、ゲート信号線 17 a はゲートドライバ 12 と接続されている。一方、各画素のゲート信号線 17 b は点灯制御線 401 と接続されている。第 40 図では 4 本のゲート信号線 17 b が 1 つの点灯制御線 401 と接続されている。

なお、ここでは 4 本のゲート信号線 17 b をまとめて 1 つのブロックとしているがこれに限定されるものではなく、それ以上であってもよいことは言うまでもない、一般的に表示領域 50 は少なくとも 5 以上に分割することが好ましい。さらに好ましくは、10 以上に分割することが好ましい、さらには、20 以上に分割することが好ましい、分割数が少ないと、フリックが見えなくなる。一方、あまりにも分割数が多いと、

点灯制御線 401 の本数が多くなり、制御線 401 のレイアウトが困難になる。

したがって、Q C I F 表示パネルの場合、垂直走査線の本数が 220 本であるから、少なくとも、 $220 / 5 = 44$ 本以上でブロック化する必要があり、好ましくは、 $220 / 10 = 11$ 以上でブロック化する必要がある。ただし、奇数行と偶数行で 2 つのブロック化を行った場合は、低フレームレートでも比較的フリックの発生が少ないため、2 ブロック化で十分の場合がある。

W01404021998

PCT/JPO200668

96

第 40 図の実施例では、点灯制御線 401 a、401 b、401 c、401 d、…、401 n と順次、オン電圧 (V_{G1}) を印加するか、もしくはオフ電圧 (V_{G2}) を印加し、ロックごとに Eし業子 15 に流れれる電流をオシロフさせる。

5 なお、第 40 図の実施例では、ゲート信号線 17 b と点灯制御線 401 とがクロスすることがない。したがって、ゲート信号線 17 b と点灯制御線 401 とがショートするといった欠陥は発生しない。また、ゲート信号線 17 b と点灯制御線 401 とが容量結合することがないため、点灯制御線 401 からゲート信号線 17 b 側を見たときの容量付加が 10 異常に小さい。したがって、点灯制御線 401 を駆動しやすい。

ゲートドライバ 12 にはゲート信号線 17 e が接続されている。ゲート信号線 17 e にオン電圧を印加することにより、画素行が選択され、選択された各画素のトランジスタ 116、117 c はオンして、ソース信号線 18 に印加された電流 (電圧) を各画素のコンデンサ 19 にプログラムする、一方、ゲート信号線 17 f は各画素のトランジスタ 116 のゲート (G) 端子と接続されている。したがって、点灯制御線 401 にオン電圧 (V_{G1}) が印加されたとき、駆動用トランジスタ 11 a と Eし業子 15 との電流経路を形成し、逆にオフ電圧 (V_{G2}) が印加されたときは、Eし業子 15 のアノード端子をオープンにする。

20 なお、点灯制御線 401 に印加するオシロフ電圧の駆動タイミングと、ゲートドライバ 12 がゲート信号線 17 a に出力する画素行選択電圧 (V_{G1}) のタイミングとは 1 水平走査クロック (1 H) に同期して、これが好ましい。しかし、これに限定するものではない、点灯制御線 401 に印加する信号は単に、Eし業子 15 への電流をオシロフさせるだけである。また、ソースドライバ 14 が送出する画像データと同期がとれている必要もない、点灯制御線 401 に印加する信号は、各画素 16 のコンデンサ 19 にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がと

WOI06027998

PCT/JP05/09668

WOI06027998

れでいる必要はない。また、同期する場合であってもクロックは1H信号に限定されるものではなく、1／2Hでも、1／4Hであってもよい。
第38図に図示したカレントミラーの画素構成の場合であっても、ゲート信号線17bを点灯前駆線401に接続することにより、トランジ
6 スタ11eをオンオフ制御できる。したがって、ブロック駆動を実現でき
る。

なお、第32図において、ゲート信号線17aを点灯制御線401に接続し、リセットを実施すれば、ブロック駆動を実現できる。この場合、
本発明のブロック駆動は、1つの制御線で、複数の画素行を同時に非点
10 灯（あるいは黒表示）とする駆動方法となる。

以上の実施例は、1画素行ごとに1本の選択画素行を配置（形成）す
る構造であった。本発明は、これに限定するものではなく、複数の画素
行で1本の選択ゲート信号線を配置（形成）してもよい。
第41図はその実施例である。なお、説明を容易にするため、画素構
成は第1図の場合を主として例示して説明をする。第41図において、
ゲート信号線17cは3つの画素（16R、16G、16B）を同時に選択する。
なお、Rの記号とは赤色の画素駆動を意味し、Gの記号とは
15 緑色の画素駆動を意味し、Bの記号とは青色の画素駆動を意味するもの
とする。

したがって、ゲート信号線17aの選択により、画素16R、画素1
6Gおよび画素16Bが同時に選択されデータ書き込み状態となる。画
素16Rはソース信号線18Rからデータをコンデンサ19Rに書き
込み、画素16Gはソース信号線18Gからデータをコンデンサ19G
に書き込む。画素16Bはソース信号線18Bからデータをコンデンサ
20 19Bに書き込む。

画素16Rのトランジスタ11dはゲート信号線17bRに接続さ
れている。また、画素16Gのトランジスタ11dはゲート信号線1
bGに接続され、画素16Bのトランジスタ11dはゲート信号線17

95

bBに接続されている。したがって、画素16RのEL素子15R、画
素16GのEL素子15G、画素16BのEL素子15Bはそれぞれ独立してオンオフ制御することができる。つまり、EL素子15R、EL
素子15G、EL素子15Bはゲート駆動線17bR、17bG、17
6 bBをそれぞれ制御することにより、点灯時間、点灯周期を個別に制御
することができる。

この動作を実現するためには、第6図に示す構成において、ゲート信号線17aを走査するシフトレジスタ回路61と、ゲート信号線17bRを走査するシフトレジスタ回路61と、ゲート信号線17bGを走査するシフトレジスタ回路61と、ゲート信号線17bBを走査するシフトレジスタ回路61との4つを形成（配置）することが適切である。
なお、ソース信号線18に所定電流のN倍の電流を流すことにより、
EL素子15に所定電流のN倍の電流を1/Nの期間流すとしたが、実
用上はこれを実現できない。実際にはゲート信号線17に印加した信号
15 パルスがコンデンサ19に突き抜け、コンデンサ19に所望の電圧値
(電流値)を設定できないからである。一般的にコンデンサ19には所
望の電圧値(電流値)よりも低い電圧値(電流値)が設定される。たと
えば、10倍の電流値を設定するよう駆動しても、5倍程度の電流し
かコンデンサ19には設定されない。たとえば、N=10としても実際
20 にEL素子15に流れれる電流はN=5の場合と同一となる。したがって、
本発明はN倍の電流値を設定し、N倍に比例したあるいは対応する電流
をEL素子15に流れるように駆動する方法である。もしくは、所望
よりも大きい電流を正し素子15にパルス状に印加する駆動方法であ
る。

25 また、所望より電流（そのまま、EL素子15に連続して電流を流
すと所望輝度よりも高くなるような電流）を駆動用トランジスタ11a
(第1図を例示する場合)に電流（電圧）プログラムを行い、EL素子
15に流れれる電流を間欠にすることにより、所望のEL素子の発光輝度

WO 0023998

PCT/JP02/0658

99

WO 0023998

を得るものである。

なお、このコンデンサ19への突き抜けによる補償回路は、ソースドライバ14内に導入する。この事項については後ほど説明をする。
また、第1図などのスイッチングトランジスタ11a、11b、11cなどは5Nチャネルで形成することが好ましい。コンデンサ19への突き抜け電圧が低減するからである。また、コンデンサ19のオフリードを減少するため、10Hz以下の低いフレームレートにも適用できるようになる。

また、画素構成によつては、突き抜け電圧がEL素子16に流れる電流を増加させる方向に作用する場合は、白ビープ電流が増加し、画像表示のコントラスト感が増加する。したがつて、良好な画像表示を実現できる。

逆に、第1図のスイッチングトランジスタ11b、11cをPチャンネルにすることにより突き抜けを発生させて、より黒表示を良好にする10方法も有効である。この場合、Pチャンネルトランジスタ11bをオフにするとときはV_{Gd}ト電圧となる。そのため、コンデンサ19の端子電圧がV_{Gd}側に少しシフトする。これにより、トランジスタ11aのゲート(G)端子電圧は上昇し、より良好な黒表示となる。また、第1層画表示とする電流値を大きくすることができます(階調1までに一定のベース電流を流すことができる)、電流プログラム方式で書き込み電流不足を経験できる。

その他、ゲート信号線17aとトランジスタ11aのゲート(G)端子との間に積極的にコンデンサ19aを形成し、突き抜け電圧を増加させる構成も有効である(第42図(a)を参照)。このコンデンサ19aの容量は正規のコンデンサ19aの容量の1/5以上1/10以下20下にすることが好ましい。この値は1/40以上1/15以下となることが好ましい。もしくはトランジスタ11bのソースゲート(ソースドレイン(SG)もしくはゲートドレイン(GD))容量の1倍以

100

PCT/JP02/06588

上10倍以下にする。さらに好ましくは、SG容量の2倍以上6倍以下にすることが好ましい。なお、コンデンサ19bは、コンデンサ19aの一方の端子(トランジスタ11aのゲート(G)端子)とトランジスタ11dのソース(S)端子との間に形成または配置してもよい。この場合も容量などは前に説明した値と同様である。

突き抜け電圧発生用のコンデンサ19bの容量(容量をC_b(pF)とする)は、電荷保持用のコンデンサ19aの容量(容量とC_a(pF)とする)と、トランジスタ11aの白ビープ電流時(画像表示で表示最大厚度の白ラスター時)のゲート(G)端子電圧V_wを黒表示での電流10を流す(基本的には電流は0である、つまり、画像表示で黒表示の場合はときのゲート(G)端子電圧V_b)とが関連する。これらの関係は、

C_a/(200Cb) ≤ V_w-V_b ≤ C_a/(8Cb);
の条件を満足させることが好ましい。なお、|V_w-V_b|とは、駆動用トランジスタの白表示時の端子電圧と黒表示時の端子電圧との差の15絶対値である(つまり、変化する電圧幅)。

さらに好ましくは、

C_a/(100Cb) ≤ |V_w-V_b| ≤ C_a/(10Cb)

の条件を満足させることが好ましい。トランジスタ11bはPチャンネルにして、このPチャンネルは少なくともダブルゲート以上にする。また、好ましくは、トリブルゲート以上にする。さらに好ましくは、4ゲート以上にする。そして、トランジスタ11bのソースゲート(SGもしくはゲートドレイン(GD))容量(トランジスタがオンしているときの容量)の1倍以上10倍以下20のコンデンサを並列に形成または配置することが好ましい。

なお、以上の事項は、第1図に示す画素構成だけでなく、他の画素構成でも有効である。たとえば、第42図(b)に図示するようなカレンミラーの画素構成において、突き抜けを発生させるコンデンサをゲート信号線17aまたは17bとトランジスタ11aのゲート(G)端子

WO 03027998

PCT/JP02/09668

WO 03027998

PCT/JP02/09668

101 102

との間に配置または形成する。スイッチングトランジスタ 11 c の N テンセルはダブルゲート以上とする。もしくはスイッチングトランジスタ 11 c、11 d を P チャンネルとし、トリブルゲート以上とする。

第 4 1 図に示す電圧プログラムの構成にあっては、ゲート信号線 17 c と駆動用トランジスタ 11 a のゲート (G) 端子との間に突き抜け電圧発生用のコンデンサ 19 c を形成または配置する。また、スイッチングトランジスタ 11 c はトリブルゲート以上とする。突き抜け電圧発生用のコンデンサ 19 c はトランジスタ 11 c のミレイン (D) 端子 (コンデンサンサ 19 b 側) とゲート信号線 17 a との間に配置してもよい。また、突き抜け電圧発生用のコンデンサンサ 19 c はトランジスタ 11 a のゲート (G) 端子とゲート信号線 17 a との間に配置してもよい。また、突き抜け電圧発生用のコンデンサンサ 19 c はトランジスタ 11 c のドレン (D) 端子 (コンデンサンサ 19 b 側) とゲート信号線 17 c との間に配置してもよい。

また、電荷保持用のコンデンサンサ 19 a の容量を C_a とし、スイッチング用のトランジスタ 11 c または 11 d のシースースゲート容量を C_c (突き抜け用のコンデンサンサがある場合は、その容量を加えた値) とし、ゲート信号線に印加される高電圧信号を (V_{Gh}) とし、ゲート信号線に印加される低電圧信号を (V_{Gl}) とした場合、以下の条件を満足するよう構成することにより、良好な黒表示を実現できる。

$$0.05(V) \leq (V_{Gh} - V_{Gl}) \times (C_c / C_a) \leq 0.8(V)$$

また、以下の条件を満足させることが好ましい。

$$0.1(V) \leq (V_{Gh} - V_{Gl}) \times (C_c / C_a) \leq 0.5(V)$$

以上の事項は第 4 3 図などに示す画素構成にも有効である。第 4 3 図に示す電圧プログラムの画素構成では、トランジスタ 11 a のゲート (G) 端子とゲート信号線 17 a との間に突き抜け電圧発生用のコンデンサンサ 19 b の容量を変化させ

ンサンサ 19 b を形成または配置する。

なお、突き抜け電圧を発生させるコンデンサンサ 19 b は、トランジスタのソース配線およびゲート配線で形成する。ただし、トランジスタ 11 c のソース端子を広げて、ゲート信号線 17 c と重ねて形成する構成であるから、实用上は明確にトランジスタと分離できない構成となる場合がある。

また、スイッチングトランジスタ 11 b、11 c (第 1 図の構成の場合) を必要以上に大きく形成することにより、見かけ上、突き抜け電圧用のコンデンサンサ 19 b を構成する方式も本発明の範囲である。スイッチングトランジスタ 11 b、11 c はチャンネル幅 W/ノーチャンネル長 L = 10 / 6 μm で形成することが多い。ここで W と L の比を大きくすることも突き抜け電圧用のコンデンサンサ 19 b を構成することになる。例えば、W : L の比を 2 : 1 以上 20 : 1 以下にする構成が例示される。好ましくは、W : L の比を 3 : 1 以上 10 : 1 以下にすることがよい。

また、突き抜け電圧用のコンデンサンサ 19 b は、画素が変調する R、G、B で大きさ (容量) を変化させることが好ましい。R、G、B の各 EL 素子 1.5 の駆動電流が異なるためである。また、EL 素子 1.5 のカットオフ電圧が異なるためである。そのため、EL 素子 1.5 の駆動用トランジスタ 11 a のゲート (G) 端子にプログラムする電圧 (電流) が異なる。たとえば、R の画素のコンデンサンサ 11 b R を 0.02 pF とした場合、他の色 (G、B の画素) のコンデンサンサ 11 b G、11 b B を 0.025 pF とする。また、R の画素のコンデンサンサ 11 b R を 0.02 pF とした場合、G の画素のコンデンサンサ 11 b G と 0.03 pF とし、B の画素のコンデンサンサ 11 b B を 0.025 pF とするなどである。このように、R、G、B の画素ごとにコンデンサンサ 1.1 の容量を変化させることがよりオプセットの駆動電流を RGB ごとに調整することができた。したがって、RGB のそれぞれにおける黒表示レベルを最適値にすることができる。

以上では、突き抜け電圧発生用のコンデンサンサ 19 b の容量を変化させ

るとしたが、突き抜け電圧は、保持用のコンデンサ 19 b と突き抜け電圧発生用のコンデンサ 19 b との容量の相対的なものである。したがって、コンデンサ 19 b を R、C、B の画素で変化することに限定するものではない。したがって、保持用コンデンサ 19 a の容量を変化させてもよい。たとえば、R の画素のコンデンサ 11 a R を 1.0 SF とした場合、C の画素のコンデンサ 11 a G と 1.2 DF とし、B の画素のコンデンサ 11 a B を 0.9 PD とするなどである。このとき、突き抜け用コンデンサ 19 b の容量は、R、G、B で共通の値とする。したがって、本発明は、保持用のコンデンサ 19 a と突き抜け電圧発生用のコンデンサ 19 b との容量比について、R、G、B の画素のうち、少なくとも 1 つを他と異ならせたものである。なお、保持用のコンデンサ 19 a の容量と突き抜け電圧発生用のコンデンサ 19 b との容量との両方を R、G、B 画素で変化させてもよい。

また、画面 5 の左右で突き抜け電圧用のコンデンサ 19 b の容量を変化させてよい。ゲートドライバ 12 に近い位置にある画素 16 は信号供給側に配置されているので、ゲート信号の立ち上がりが遅い（スルーレートが高いからである）ため、突き抜け電圧が大きくなる。ゲート信号線 17 の端に配置（形成）されている画素は、信号波形が銛つてかかる（ゲート信号線 17 には容量があるためである）。ゲート信号の立ち上がりが遅い（スルーレートが遅い）ので、突き抜け電圧が小さくなるためである。したがって、ゲートドライバ 12 との接続側に近い画素 11 の突き抜け電圧用コンデンサ 19 b を小さくする。また、ゲート信号線 17 の端はコンデンサ 19 b を大きくする。たとえば、画面の左右でコンデンサの容量は 1.0 % 程度変化させる。

発生する突き抜け電圧は、保持用コンデンサ 19 a と突き抜け電圧発生用のコンデンサ 19 b との容量比で決定される。したがって、画面の左右で突き抜け電圧発生用のコンデンサ 19 b の大きさを変化させるとしているが、これに限定されるわけではない。突き抜け電圧発生用の

コンデンサ 19 b は画面の左右で一定にし、電荷保持用のコンデンサ 19 a の容量を画面の左右で変化させてよい。また、突き抜け電圧発生用のコンデンサ 19 b の容量と、電荷保持用のコンデンサ 19 a の容量との両方を画面の左右で変化させてもよることは言ふまでもない。

本発明の N 油バ尔斯駆動には、E シネ子 15 に印加する電流が瞬時的にはあるが、従来と比較して N 倍大きいという問題がある。電流が大きいと E シネ子の寿命を低下させる場合がある。この課題を解決するためには、E シネ子 15 に逆バイアス電圧 V_{DC} を印加することが有効である。E シネ子 15 において、電子は雪崩（カソード）より電子輸送層に注入されると同時に正孔も雪崩（アノード）から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光界面でのエネルギー準位の差によりキャリアが蓄積されたりする。

有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定であることで、眞珠の低下により解度の低下および定電流駆動時の駆動電圧の上昇を招くことが知られている。これを防ぐために、一例としてバイアス構造を変化させ、逆方向電圧を印加している。逆バイアス電圧が印加されると、逆方向電流が印加されることになるため、注入された電子及び正孔がそれれ給及及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

第 4 5 図は、逆バイアス電圧 V_{DC} および E_L 素子 15 の電子電圧の変化を示している。ここで電子電圧とは、E_L 素子 15 に定格電流を印加したときの電圧である。第 4 5 図は E_L 素子 15 に流す電流が電流密度 1.00 A / 平方メーターの場合を示しているが、第 4 5 図に示される傾向は、電流密度 5.0 ~ 1.00 A / 平方メーターの場合とほとんど差がないかった。したがって、広い範囲の電流密度で適用できると推定される。

WO 03 027598

PCT/JP02/09668

WO 03 027598

PCT/JP02/09668

106

機械は初期のELI系子15の端子電圧に対して、250J時間後の端子電圧との比を表している。たとえば、経過時間0時間において、電流密度100A/平方メーターの電流の印加したときの端子電圧を8(V)とし、経過時間250J時間において、電流密度100A/平方メーターの電流の印加したときの端子電圧を10(V)とすれば、端子電圧比は、 $10/8 = 1.25$ である。

機械は、逆バイアス電圧Vmと1周期に逆バイアス電圧を印加した時間(1)の積に対する定格端子電圧V0の比を表している。たとえば、60Hz(とくに60Hzに意味はないが)で、逆バイアス電圧Vmを印加した時間が $1/2$ (半分)であれば、 $1/1 = 0.5$ である。また、経過時間0時間において、電流密度100A/平方メーターの電流を印加したときの端子電圧(定格端子電圧)を8(V)とし、逆バイアス電圧Vmを8(V)とすれば、|逆バイアス電圧 $\times 1/1|/(定格端子電圧 $\times 1/2) = | - 8(V) \times 0.5 | / (8(V) \times 0.5) = 1.0$ となる。$

第45図によれば、|逆バイアス電圧 $\times 1/1|/(定格端子電圧 $\times 1/2)が1.0以上で端子電圧の変化はなくなる(初刷の定格端子電圧から変化しない)。逆バイアス電圧Vmの印加による効果がよく発揮されている。しかし、|逆バイアス電圧 $\times 1/1|/(定格端子電圧 $\times 1/2)が1.75以上で端子電圧比は増加する傾向にある。したがって、|逆バイアス電圧 $\times 1/1|/(定格端子電圧 $\times 1/2)が1.0以上になるよう逆バイアス電圧Vmの大きさおよび印加時間比 $t1/t2$ などを決定するとい。$$$$$$

ただし、バイアス駆動を行う場合は、逆バイアスVmと定格電流とを交互に印加する必要がある。第46図に示す場合において、サンプルA

とBとの単位時間あたりの平均輝度を等しくしようとすると、逆バイアス電圧を印加するときは、印加しないときと比較して瞬時に高い電流を流す必要がある。そのため、逆バイアス電圧Vmを印加する場合(第46図のサンプルA)のEL系子15の端子電圧も高くなる。

しかし、第45図では、逆バイアス電圧を印加する駆動方法でも、定期端子電圧V0とは、平均輝度を満足する端子電圧(つまり、EL系子15を点灯する端子電圧)とする(本明細書の具体例によれば、電流密度200A/平方メーターの電流の印加した時の端子電圧である。ただし、1/2デューティであるので、1周期の平均輝度は電流密度200A/平方メーターでの輝度となる)。

以上の事項は、EL系子15に、白ラスター表示させる場合(画面全体のEL系子に最大電流を印加している場合)を想定している。しかし、EL表示装置にて映像表示を行う場合は、自然画であり、階調表示を行う。したがって、たえず、EL系子15の白ピーカ電流(最大白表示で流れれる電流。本明細書の具体例では、平均電流密度100A/平方メータの電流)が流れているのではない。

一般的に、映像表示を行う場合、各EL系子15に印加される電流(流れれる電流)は、白ピーカ電流(定格端子電圧時に流れれる電流、本明細書の具体例によれば、電流密度100A/平方メーターの電流)の約0.20倍である。

したがって、第45図に示す実施例では、映像表示を行う場合は横軸の値に $t1/t2$ をかけるものとする必要がある。したがって、|逆バイアス電圧 $\times t1/t2|/(定格端子電圧 $\times t2)$ が0.2以上になるように逆バイアス電圧Vmの大きさおよび印加時間比 $t1/t2$ (もしくは $t2/t1$)がある。逆バイアス電圧 $\times t1/t2$ との比率)を決定するとい。また、好みくは、|逆バイアス電圧 $\times t1/t2|/(定格端子電圧 $\times t2)$ が1.75以下になると逆バイアス電圧Vmの大きさおよび印加時間比 $t1/t2$ などを決定するとい。$$

逆バイアス電圧 $\times t1/t2$ /(定格端子電圧 $\times t2)$ が $1.75 \times 0.2 = 0.35$ 以下になるよう逆バイアス電圧Vmの大ささおよび印加時間比 $t1/t2$ を決定するとい。

つまり、第45図の横軸（1逆バイアス電圧×11／（定格端子電圧×12）において、1、0の値を0、2とする必要がある。したがって、表示パネルに映像を表示することはこの使用状態が通常であろう。白ラスターを常時表示することはないであろう）ときは、1逆バイアス電圧×11／（定格端子電圧×12）が0、2よりも大きくなるように、逆バイアス電圧V_mを所定時間t1印加するようになります。また、逆バイアス電圧×11／（定格端子電圧×12）の値が大きくなつても、第45図で図示するように、端子電圧比の増加は大きくない。したがつて、上限値は白ラスター表示を実施することも考慮して、1逆バイアス電圧×11／（定格端子電圧×12）の値が1、75以下を満足するようになります。

以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。なお、本発明はE1端子15に電流が流れていらない期間に逆バイアス電圧V_m（電流）を印加することを基本とする。しかし、これに限らずするものではない。たとえば、E1端子15に電流が流れている状態で、強制的に逆バイアス電圧V_mを印加してもよい。なお、この場合は、結果としてE1端子15には電流が流れず、非点灯状態（黒表示状態）となるであろう。また、本発明は、主として電流プログラムの画素構成で逆バイアス電圧V_mを印加することを中心として説明するがこれに限定するものではない。

逆バイアス駆動の画素構成では、第47図に図示するように、トランジスタ11gをNチャンネルとする。もちろん、Pチャンネルでもよい。第47図では、ゲート電位制御線473に印加する電圧を逆バイアス線471に印加している電圧よりも高くなることにより、トランジスタ11g（N）がオンし、E1端子15のアノード電極に逆バイアス電圧V_mが印加される。

また、第47図の画素構成などにおいて、ゲート電位制御線473を常時、電位固定して動作させてもよい。たとえば、第47図においてV

108

k電圧が0（V）とする時、ゲート電位制御線473の電位を0（V）以上（好みくは2（V）以上）にする。なお、この電位をV_sとす

る、この状態で、逆バイアス線471の電位を逆バイアス電圧V_m（0（V）以下、好みくはV_sより-5（V）以上小さい電圧）にすると、5トランジスタ11g（N）がオンし、E1端子15のアノードに、逆バイアス電圧V_mが印加される。逆バイアス線471の電圧をゲート電位制御線473の電圧（つまり、トランジスタ11gのゲート（G）端子電圧）よりも高くすると、トランジスタ11gはオフ状態となるため、E1端子15には逆バイアス電圧V_mは印加されない。もちろん、この状態のときに、逆バイアス線471をハイインピーダンス状態（オープン状態など）としてもよることは言うまでもない。

また、第48図に図示するように、逆バイアス線471を制御するゲートドライバ12cを別途形成または配置してよい。ゲートドライバ12cは、ゲートドライバ12aと同様に順次シフト動作し、シフト動作に同期して、逆バイアス電圧を印加する位置がシフトされる。以上の駆動方法では、トランジスタ11gのゲート（G）端子は電位固定し、逆バイアス線471の電位を変化させるだけで、E1端子15に逆バイアス電圧V_mを印加することができる。したがって、逆バイアス電圧V_mの印加制御が容易である。また、トランジスタ11gのゲート（G）端子とソース（S）端子との間に印加される電圧を低減できる。このことは、トランジスタ11gがPチャンネルの場合も同様である。また、逆バイアス電圧V_mの印加は、E1端子15に電流を流していないときに行うものである。したがって、トランジスタ11dがオンしないときには、トランジスタ11gをオンさせることにより行えればよい。つまり、トランジスタ11dのオンオフロジックの逆をゲート電位制御線473に印加すればよい。たとえば、第47図では、ゲート信号線17aにトランジスタ11dおよびトランジスタ11gのゲート（G）端子を接続すればよい。トランジスタ11dはPチャンネルであ

り、トランシスター11BはNチャンネルであるため、オンオフ動作は反対となる。

第49図は逆バーフス運動のタイミングチャートである。なお、チャート内において(1) (2)などの添え字は、回収行を示している。説明を容易にするため、(1)とは、第1画素行目と示し、(2)とは第

L₂端子15にトランジスタT1-aから電流が流れL₂端子15が発光する。また、逆バイアス線471(1)にはオフ電圧(V_{off})が印されて、第1画素行(1)のEL端子15には逆バイアス電圧が印されないようになる。第2画素行の逆バイアス線471(2)にはV_{off}電圧(逆バイアス電圧)が印加される。

良い。以上のこととは他の実施例でも、特例を除いて同様である。また、第49図などの実施例では、第1図などの画素構成を示して説明をす
るがこれに限定されるものではない。たとえば、第41図、第38図な

第1画素行目のゲート信号線 17a (1) にオン電圧 (V_{gh}) が印加されているときには、第1画素行目のゲート信号線 17b (1) にはオフ電圧 (V_{gh}) が印加される。つまり、ミランジスター 11d はオフであり、E-L 素子 15 には電流が流れていらない。

また、逆ハイノブ電圧の印加は、画像表示の途中に実施することに限
定するものではない。Eに表示装置の電源オフ後、一定の期間の間、逆
バイアス電圧が印加されるように構成してもよい。

ロック運動（第40図参照）、N倍パルス運動、リセット運動、ダミー画素運動などと組み合わせることができることは明らかである。また、ノミネーション運動は、画像表示の途中に実施することに限られた、逆バイアス電圧の印加は、画像表示の途中に実施することに限られた。

また、逆ハイノブ電圧の開閉は、画像表示の途中に実施することに限
定するものではない。E-L表示装置の電源オフ後、一定の期間の間、逆

バイアス電圧が印加されるように構成してもよい。

に置いても、第3-8図、第4-1図などの逆バイアス電圧を印加する構成に適用できることは言うまでもない。たとえば、第5-0図に示す電流ア

オンする電圧)が印加される。したがつて、トランジスタ 118 がオンし、EL 素子 15 には逆バイアス電圧が印加されている。逆バイアス電圧は、ゲート信号線 17b にオフ電圧 (V_{GH}) が印加された後、所定期間 (1H の 1/200 以上の期間、または、 $0.5 \mu\text{sec}$) 後に、逆バイアス電圧が印加される。また、ゲート信号線 17b にオン電圧 (V_G) が印加される所定期間 (1H の 1/200 以上の期間、または、 $0.5 \mu\text{sec}$) 前に、逆バイアス電圧がオフされる。これは、トランジスタ 11d とトランジスタ 11g が同時にオンとなることを回避するためである。

次の水平走査期間(1H)において、ゲート信号線17aにはオフ電圧(Vgh)が印加され、第2画素行が選択される。つまり、ゲート信号線17a(2)にオン電圧が印加される。一方、ゲート信号線17b

トランジスタ：1dは、該当画素が選択する1H（1水平走査期間、

つまり1画素行)以上前にオンする。好みしくは3H前にはオンさせる。
3H前とすれば、3H前にトランジスタ11dがオンし、トランジスタ
11aのゲート(G)端子とドライン(D)端子とがショートされる。
そのため、トランジスタ11aはオフにする。したがって、トランジス
5 タ11bには電流が流れなくなり、EL素子15は非点灯となる。

EL素子15が非点灯状態の場合、トランジスタ11gがオンし、E
L素子15に逆バイアス電圧が印加される。したがって、逆バイアス電
圧は、トランジスタ11dがオンさせている期間、印加されることにな
る。そのため、ロジック的にはトランジスタ11dとトランジスタ11
10 gとは同時にオンすることになる。

トランジスタ11gのゲート(G)端子はVs8電圧が印加されて固
定されている。逆バイアス線47-1をVs8電圧より十分に小さな逆バ
イアス電圧を逆バイアス線47-1に印加することによりトランジスタ
11gがオンする。

その後、前記該当画素に画像信号が印加されると(書き込まれる)水平
走査周期がくくると、ゲート信号線17a1にオン電圧が印加され、トラン
ジスタ11cがオンする。したがって、ソースドライバ14からソ
ース信号線18に出力された画像信号電圧がコンデンサ19に印加され
る(トランジスタ11dはオン状態が維持されている)。

トランジスタ11cをオンさせると黒表示となる。1フレールド(1
フレーム)期間に占めるトランジスタ11cのオン期間が長くなるほど、
黒表示期間の割合が長くなる。したがって、黒表示期間が存在しても1
フレールド(1フレーム)の平均輝度を所望値とするためには、表示期
間の輝度を高くする必要がある。つまり、表示期間にEL素子15に流
す電流を大きくする必要がある。この動作は、本発明のN倍パルス駆動
である。したがって、N倍パルス駆動と、トランジスタ11dをオンさ
せて黒表示とする駆動とを組み合わせることが本発明の1つの特徴あ
る動作である。また、EL素子15が非点灯状態で、逆バイアス電圧を

EL素子16に印加することが本発明の特徴ある構成(方式)である。
以上の実施例では、画像表示を行う場合において、画素が非点灯状態
のときに逆バイアス電圧を印加する方式であったが、逆バイアス電圧を
印加する構成はこれに限定するものではない。画像を非表示に逆バイア
ス電圧を印加するのであれば、逆バイアス用のトランジスタ11gを各
画素に形成する必要はない。ここで非点灯状態とは、表示パネルの使用
を終了した後、あるいは使用前に逆バイアス電圧を印加している状態を
ある。

例えば、第1図の画素構成において、画素16を選択し(トランジス
10 タ11b、トランジスタ11cをオンさせる)、ソースドライバ(回路)
14から、ソースドライバが出力できる低い電圧V0(例えば、GND
電圧)を出力して駆動用トランジスタ11aのドレイン端子(D)に印
加する。この状態でトランジスタ11dもオンさせればELのアノード
端子にV0電圧が印加される。同時に、EL素子15のカソードVKに
15 V0電圧に対し、-5~-15(V)の低い電圧Vm電圧を印加すれば
EL素子15に逆バイアス電圧が印加される。また、Vd電圧もV0
電圧より0~-5(V)の低い電圧を印加することにより、トランジス
タ11aもオフ状態となる。以上のようにソースドライバ14から電圧
を出力し、ゲート信号線17を制御することにより、逆バイアス電圧を
20 EL素子16に印加することができる。

N倍パルス駆動は、1フレールド(1フレーム)期間内において、1
実、黒表示をしても消費、EL素子15に所定の電流(プログラムされ
た電流(コンデンサ19に保持されている電圧による))を流すことが
できる。しかし、第50回に示す構成では、一度、トランジスタ11d
25 がオンすると、コンデンサ19の電荷は放電(減少を含む)されるため、
EL素子15に所定の電流(プログラムされた電流)を流すことができ
ない。しかし、回路動作が容易であるという特徴がある。

なお、以上の実施例は電流プログラム方式の場合はの画素構成であった

W0303027998

PCTJP20040683

113

W0303027998

PCTJP20040683

が、本発明はこれに限定するものではなく、第38図、第50図のような他の電流方式の画素構成にも適用することができる。また、第51図、第54図、第62図に図示するような電圧プログラムの画素構成でも適用することができる。

5 第51図は一般的に最も簡単な電圧プログラムの画素構成を示している。トランジスタ11bは選択スイッチング素子であり、トランジスタ11aはEL素子15に電流を印加する駆動用トランジスタである。この構成で、EL素子15のアノードに逆バイアス電圧印加用のトランジスタ(スイッチング素子)11gを配置(形成)している。

10 第51図に示す画素構成では、EL素子15に流す電流は、ソース信号線18に供給され、トランジスタ11bが選択されることにより、トランジスタ11aのゲート(G)端子に供給される。

まず、第51図に示す構成を説明するために、基本動作について第52図を用いて説明をする。第51図に示す画素は電圧オフセットキャップセラと呼ばれる構成であり、初期化動作、リセット動作、プログラム動作、発光動作の4段階で動作する。

水平同期信号(HD)後、初期化動作が実施される。ゲート信号線17bにオン電圧が印加され、トランジスタ11gがオンする。また、ゲート信号線17aにもオン電圧が印加され、トランジスタ11cがオンする。このとき、ソース信号線18にはVdd電圧が印加される。したがって、コンデンサ19bの端子aにはVdd電圧が印加されることになる。この状態で、駆動用トランジスタ11aはオンし、EL素子15に微かな電流が流れ。この電流により駆動用トランジスタ11aのドレイン(D)端子は少なくともトランジスタ11aの動作点よりも大きな絶対値の電圧値となる。

次にリセット動作が実施される。ゲート信号線17bにオフ電圧が印加され、トランジスタ11eがオフする。一方、ゲート信号線17cにT1の期間、オン電圧が印加され、トランジスタ11bがオンする。こ

のT1の期間がリセット時間である。また、ゲート信号線17aには1Hの期間、維持してオン電圧が印加される。なお、T1は1周期間の20%以上90%以下の時間とすることが好ましい。もしくは、 $2.0 \mu s$

$\times c$ 以上 $1.60 \mu s$ $\times c$ 以下 $1 : 2$ 以下とすることが好ましい。

リセット時間では、トランジスタ19c(Ca)の容量の比率は、Cb : Ca = 6 : 1以上 $1 : 2$ 以下とすることが好ましい。

リセット時間では、トランジスタ11bのオンにより、駆動用トランジスタ11aのゲート(G)端子とドレイン(D)端子との間がショートされる。したがって、トランジスタ11aのゲート(G)端子電圧とドライン(D)端子電圧とが等しくなり、トランジスタ11aはオフセット状態(リセット状態：電流が流れない状態)となる。このリセット状態とはトランジスタ11aのゲート(G)端子が、電流を流し始める開始電圧近傍にある状態である。このリセット状態を維持するゲート電圧はコンデンサ19cの端子bに保持される。したがって、コンデンサ15には、オフセット電圧(リセット電圧)が保持されていることになる。

次のプログラム状態では、ゲート信号線17cにオフ電圧が印加されトランジスタ11bがオフする。一方、ソース信号線18には、Tdの期間、DATA電圧が印加される。したがって、駆動用トランジスタ11aのゲート(G)端子には、DATA電圧+オフセット電圧(リセット電圧)が加えられたものが印加される。そのため、駆動用トランジスタ11aはプログラムされた電流を流せるようになる。

プログラム期間後、ゲート信号線17aにはオフ電圧が印加され、トランジスタ11cはオフ状態となり、駆動用トランジスタ11aはソース信号線18から切り離される。また、ゲート信号線17cにもオフ電圧が印加され、トランジスタ11bはオフ状態となり、このオフ状態は1Fの期間保持される。一方、ゲート信号線17bには、必要に応じてオフ電圧とオフ電圧とが周期的に印加される。つまり、第13図、第1

114

5 図などに示す N 倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。
第 6.2 図に示す駆動方式では、コンデンサ 19 には、リセット状態で、トランジスタ 11 a の開始電流電圧（オフセット電圧、リセット電圧）が保持される。そのため、このリセット電圧がトランジスタ 11 a のゲート（G）端子に印加されているときが、最も暗い黒表示状態である。しかし、ソース信号線 18 と画素 16 とのカップリング、コンデンサー 19 への突き抜け電圧あるいはトランジスタ 11 b のゲート（G）端子に接続されている。（コントラスト低下）が発生する。したがって、第 5.2 図に示す駆動方式では、表示コントラストを高くすることはできない。

逆バイアス電圧 V_m を E_L 端子 15 に印加するためには、トランジスタ 11 a をオフさせる必要がある。トランジスタ 11 a をオフさせるためには、トランジスタ 11 a の V_{dd} 端子とゲート（G）端子との間をショートすればよい。この構成については、後に第 5.3 図を用いて説明をする。

また、ソース信号線 18 に V_{dd} 電圧またはトランジスタ 11 a をオフさせる電圧を印加し、トランジスタ 11 b をオンさせてトランジスタ 11 a のゲート（G）端子に印加させてもよい。この電圧によりトランジスタ 11 a がオフする（もしくは、ほとんど、電流が流れないようなる）状態にする（略オフ状態：トランジスタ 11 a が高インピーダンス状態）。その後、トランジスタ 11 b をオンさせて、 E_L 端子 15 に逆バイアス電圧を印加する。この逆バイアス電圧 V_m の印加は、全画素同時にてもよい。つまり、ソース信号線 18 にトランジスタ 11 a を落オフする電圧を印加し、すべての（複数の）画素行のトランジスタ 11 b をオンさせる。したがって、トランジスタ 11 a がオフとなる。その後、トランジスタ 11 b をオンさせて、逆バイアス電圧を E_L 端子 15 に印加する。その後、順次、各画素行に画像信号を印加し、表示装置に画像を表示する。

- 5 図などに示す直系構成におけるリセット駆動について説明を次に、第 5.1 図に示す直系構成におけるリセット駆動を示している。第 5.3 図に示すように画素 16 a のトランジスタ 11 c のゲート（G）端子に接続されたゲート信号線 16 b のリセット用トランジスタ 11 b のゲート（G）端子にも接続されている。同様に、画素 16 b のトランジスタ 11 c のゲート（G）端子に接続されたゲート信号線 17 a は次段画素 16 c のリセット用トランジスタ 11 b のゲート（G）端子に接続されている。同様に、画素 16 c のリセット用トランジスタ 11 c のゲート（G）端子に接続されている。
- 10 したがって、画素 16 a のトランジスタ 11 c のゲート（G）端子に接続されたゲート信号線 17 a にオン電圧を印加すると、画素 16 a が電圧プログラム状態となるとともに、次段画素 16 b のリセット用トランジスタ 11 b がオンし、画素 16 b の駆動用トランジスタ 11 a がリセット状態となる。同様に、画素 16 b のトランジスタ 11 c のゲート（G）端子に接続されたゲート信号線 17 a にオン電圧を印加すると、
- 15 画素 16 b が電流プログラム状態となるとともに、次段画素 16 c のリセット用トランジスタ 11 b がオンし、画素 16 c の駆動用トランジスタ 11 a がリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット運動を実現できる。また、各画素あたりのゲート信号線の引き出し本数を減少させることができる。
- 20 25 さらに詳しく説明する。第 5.3 図（a）に示すようにゲート信号線 17 a に電圧が印加されているとする。つまり、画素 16 a のゲート信号線 17 a にオン電圧が印加され、他の画素 16 b のゲート信号線 17 b にオフ電圧が印加されているとする。また、画素 16 a、16 b のゲート信号線 17 b にはオフ電圧が印加されているとする。そこで、画素 16 d はプログラム電流で非点灯、画素 16 b はリセット状態で点灯状態である。
- この状態では、画素 16 a は電圧プログラム状態で非点灯、画素 16 b はリセット状態で点灯状態である。
- 点灯、画素 16 d はプログラム電流の保持状態で点灯状態である。

WO 03027998

PCTJP0209668

WO 03027998

PCTJP0209668

117

118

- 1 H後、制御用ゲートドライバ12のシフトレジスタ回路6-1内のデータが1ビットシフトし、第5-3図(b)に示す状態となる。第5-3図(b)に示す状態では、画素16cがプログラム電流保持状態で点灯、画素16bが電流プログラム状態で非点灯、画素16cがリセット状態で非点灯、画素16dがプログラム保持状態で点灯状態となる。
- 以上のことから、各画素は前段に印加されたゲート信号線17aの電圧により、次段の画素の駆動用トランジスタ11aがリセットされ、次の水平走査期間に電圧プログラムが順次行わることがわかる。
- 第4-3図に図示する電圧プログラムの画素構成でも前段ゲート制御を実現できる。第5-4図は、第4-3図の画素構成を前段ゲート制御方式の接続とした実施例を示している。
- 第5-4図に示すように画素16aのトランジスタ11bのゲート(G)端子に接続されたゲート信号線17aは次段画素16bのリセット用トランジスタ11eのゲート(G)端子に接続されている。同様に、画素16bのトランジスタ11bのゲート(G)端子に接続されたゲート信号線17aは、次段画素16cのリセット用トランジスタ11eのゲート(G)端子に接続されている。
- したがって、画素16aのトランジスタ11bのゲート(G)端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16aが電圧プログラム状態となるとともに、次段画素16bのリセット用トランジスタ11eがオンし、画素16bの駆動用トランジスタ11aがリセット状態となる。同様に、画素16bのトランジスタ11bのゲート(G)端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16bが電流プログラム状態となるとともに、次段画素16cのリセット用トランジスタ11eがオンし、画素16cの駆動用トランジスタ11aがリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。
- さらに詳しく説明する。第5-5図(a)に示すようにゲート信号線17に電圧が印加されているとする。つまり、画素16aのゲート信号線17aにオン電圧が印加され、他の画素16のゲート信号線17aにオフ電圧が印加されているとする。また、すべての逆バイアス用トランジスタ11bはオフ状態であるとする。
- この状態では、画素16aは電圧プログラム状態、画素16bはリセット状態、画素16cはプログラム電流の保持状態、画素16dはプログラム電流の保持状態である。
- 1日後、制御用ゲートドライバ12のシフトレジスタ回路6-1内のデータが1ビットシフトし、第5-5図(b)に示す状態となる。第5-5図(b)に示す状態では、画素16aがプログラム電流保持状態、画素16bが電流プログラム状態、画素16cがリセット状態、画素16dがプログラム保持状態となる。
- 以上のことから、各画素は前段に印加されたゲート信号線17aの電圧により、次段の画素の駆動用トランジスタ11aがリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。
- 電流駆動方式において、完全な黒表示を行う場合、画素の駆動用トランジスタ11にプログラムされる電流は0である。つまり、ソースドライバ14からは電流が流れない。電流が流れなければ、ソース信号線18に発生した寄生容量を充放電することができず、ソース信号線18の電位を変化させることができない。したがって、駆動用トランジスタのゲート電位も変化しないことになり、1フレーム(フィールド)(1F)前の電位がコンデンサ19に蓄積されたままとなる。たとえば、1フレーム前が白表示で、次のフレームが完全黒表示であっても白表示が維持されることになる。この課題を解決するため、本発明では、1水平走査期間(1H)の最初に黒レベルの電圧をソース信号線18に書き込んでから、ソース信号線18にプログラムする電圧を出力する。たとえば、映像データが黒レベルに近い0階調目～7階調目の場合、1水平期間はじめの一周期だけ黒レベルに相当する電圧が書き込まれて、電流駆

WO 03/073998

PCT/JP02/00668

119

動の負担が減り、書き込み不足を補うことが可能となる。ここで例えば 6 4 階調表示の場合であれば、完全な黒表示を 0 階調目とし、完全な白表示を 6 3 階調目とする。

なお、プリチャージを行なう階調は、黒表示領域に固定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電気駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージ）、全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に繊細な表示される。

好みしくは、階調データの階調 0 から 1 / 8 の領域の階調で、選択プリチャージを行う（たとえば、6 4 階調の時は、0 階調目から 7 階調目までの画像データの時、プリチャージを行つてから、画像データを書き込む）。さらに、好みしくは、階調データの階調 0 から 1 / 16 の領域の階調で、選択プリチャージを行う（たとえば、6 4 階調の場合、0 階調目から 3 階調目までの画像データのとき、プリチャージを行つてから、画像データを書き込む）。

常に黒表示で、コントラストを高くするためには、階調 0 のみを検出してプリチャージする方式も有効である。これにより極めて黒表示が良好になる。問題は、画面全体が階調 1、2 の場合に画面が黒っぽきして観察されることである。したがって、階調データの階調 0 から 1 / 8 の領域の階調と、一定の範囲とで選択プリチャージを行う。

なお、プリチャージの電圧、階調範囲は、R、G、B で異なることも有効である。E 1 表示素子 15 は、R、G、B で発光開始電圧、発光輝度が異なっているためである。たとえば、R は、階調データの階調 0 から 1 / 8 の領域の階調で、選択プリチャージを行う（たとえば、6 4 階調の時は、0 階調目から 7 階調目までの画像データのとき、プリチャージを行つてから、画像データを書き込む）。他の色 (G、B) は、階調データの階調 0 から 1 / 16 の領域の階調で、選択プリチャージを

行う（たとえば、5 4 階調の時は、0 階調目から 3 階調目までの画像データのとき、プリチャージを行つてから、画像データを書き込む）などくり返す。また、プリチャージ電圧も、R が 7 (V) であれば、他の色 (G、B) は、7、5 (V) の電圧をソース信号線 18 に書き込むようとする。最適なプリチャージ電圧は、もし表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ボリュームなどで調整できるように構成しておくことが好ましい。この調整回路も電子ボリューム回路を用いることにより容易に実現できる。

以後、本発明の電気駆動方式のソースドライバ（回路） 14 について説明をする。本発明のソースドライバは、上述した本発明の駆動方法、駆動回路を実現するために用いる。また、本発明の駆動方法、駆動回路、および表示装置を組み合わせて用いる。なお、以下の説明では、IC チップとして説明をするがこれに限定するものではなく、低温ポリシリコン技術などを用いて、表示パネル上に作製してもよいことは言うまでもない。

まず、第 72 図に、本発明の電気駆動方式のドライバ回路の一例を示す。第 72 図において、721 は D/A 変換器である。D/A 変換器 721 にはカビネットのデータ信号が入力され、入力されたデータに基づき、D/A 変換器からアナログ信号が送出される。このアナログ信号はオペアンプ 722 に入力される。オペアンプ 722 は N チャンネルトランジスタ 631a に入力され、トランジスタ 631a に流れれる電流が抵抗 631 に流れる。抵抗 R の端子電圧はオペアンプ 722 の - (マイナス) 入力となり、この一端子の電圧とオペアンプ 722 の + 端子とは同一電圧となる。したがって D/A 変換器 721 の出力電圧は抵抗 631 の端子電圧となる。

今、抵抗 631 の抵抗値が 1 MΩ とし、D/A 変換器 721 の出力が 1 (V) あれば、抵抗 631 には 1 (V) / 1 MΩ = 1 (μA) の電流が流れれる。これが定電流回路となる。したがって、データ信号の値に

PCT/JP02/00668

120

WO 03/073998

PCT/JP02/00668

121

121

122

応じて、D/A 変換器 721 のアナログ出力が変化し、このアナログ出力の箇にもとづいて抵抗 691 に所定の電流が流れる。

トランジスタ 631 P1 と 631 P2 とはカントミラー回路を構成している。なお、トランジスタ 631 P1 は P チャンネル型トランジスタである。一方、633 n はカレントミラーを構成する n チャンネル型トランジスタである。駆動用トランジスタ 631 a のソースードレン (S.D.) にも同じ電流が流れ、631 P1 と 631 P2 とで構成されるカレントミラー回路にも同じ電流値が流れ、各トランジスタ 633 n で構成されるカレントミラー回路にも同じ電流値が流れるので、出力端子 10 01、02、03、04、05、…は同一の電流が流れる定電流出力端子となる（カレント倍率が等しい場合）。

しかしながら、1 C は、同一のマスクから同一のプロセスに基づいて

製造されても、半導体チップ上に形成されるトランジスタや抵抗などの各素子の電気的特性は異なり、たとえ同一 1 C であっても、定電流出力端子間では各出力電流にはばらつきが存在する。このように、各定電流出力端子の出力電流値にはばらつきが生じると、発光素子の発光量などにはばらつきが生じ、ディスプレイパネルでは表示むらが生じる。したがって、ドライバ IC 14 を使用して、有機EL 表示パネルなどの発光素子を駆動する場合は、定電流出力端子間のばらつきをできるだけ最小限にすることが必要となる。

そこで、定電流出力端子間の出力電流のばらつきをできるだけ最小限にするための回路構成、レイアウト構成を有する電流駆動型ドライバ IC (回路) 14 が望まれる。

第 6 3 図に、本発明の電流駆動方式のソースドライバ (回路) 14 の構成図を示す。第 6 3 図では、一例として電流源を 3 段構成 (631, 632, 633) とした場合の多段式カレントミラー回路を示している。第 6 3 図において、第 1 段の電流源 631 の電流値は、N 倍 (ただし、N は任意の整数) の第 2 段電流源 632 にカレントミラー回路により

コピーされる。更に、第 2 段電流源 632 の電流値は、M 倍 (ただし、M は任意の整数) の第 3 段電流源 633 にカレントミラー回路によりコピーされる。この構成により、結果として第 1 段電流源 631 の電流値は、 $N \times M$ 倍の第 3 段電流源 633 にコピーされることになる。

例えば、QCIF 形式の表示パネルのソース信号線 18 に 1 個のドライバ IC 14 で駆動する場合は、176 出力 (ソース信号線が各 RGB で 176 出力必要なため) となる。この場合は、N を 16 個とし、M = 11 個とする。したがって、 $16 \times 11 = 176$ となり、176 出力に対応できる。このように、N または M のうち、一方を 8 または 16 もしくはその倍数とすることにより、ドライバ IC の電流源のレイアウト設計が容易になる。

第 7 2 図に示す電流駆動方式のソースドライバでは、第 1 段電流源 631 の電流値を直接 $N \times M$ 倍の第 3 段電流源にカレントミラー回路でコピーしていたので、第 2 段電流源 633 のトランジスタ特性と第 3 段電流源のトランジスタ特性とに差が生じると、それがそのまま電流値のばらつきとなつて、表示パネルの表示むらとなつて現れていた。特に、ソースドライバ IC 14 は、幅が 2 mm 程度で長さが 20 mm 程度という細長い形状をしているので、中央部と両端ではトランジスタ特性のばらつきが大きく、このような問題は顕著であると考えられる。

これに対して、第 6 3 図に示す多段式カレントミラー回路による電流駆動方式のソースドライバ (回路) 14 では、前記したように、第 1 段電流源 631 の電流値を直接 $N \times M$ 倍の第 3 段電流源 633 にカレントミラー回路でコピーするのではなく、中間に第 2 段電流源 632 を配置しているので、そこでトランジスタ特性のばらつきを吸収することが可能である。

特に、本発明は、第 1 段のカレントミラー回路 (電流源 631) と第 2 段にカレントミラー回路 (電流源 632) を密接して配置するところに特徴がある。第 1 段の電流源 631 から第 3 段の電流源 633 (つまりコ

WO 03027598

PCT/JP02/09668

WO 03027598

123

り、カレントミラー回路の2段構成〉であれば、第1段の電流源631と接続される第3段の電流源633の個数が多く、第1段の電流源631と第3段の電流源633とを密接して配置することができない。

本発明のソースドライバ14は、第1段のカレントミラー回路(電流源631)の電流を第2段のカレントミラー回路(電流源632)にゴビーし、第2段のカレントミラー回路(電流源632)の電流を第3段にカレントミラー回路(電流源632)にゴビーする構成である。この構成では、第72図の場合と比較して、第1段のカレントミラー回路(電流源631)に接続される第2段のカレントミラー回路(電流源632)の個数は少ない。したがって、第1段のカレントミラー回路(電流源631)と第2段のカレントミラー回路(電流源632)とを密接して配置することができる。

密接してカレントミラー回路を構成するトランジスタを配置できれば、当然のことながら、トランジスタのばらつきは少なくなるから、ゴビーされる電流値のバラツキも少なくなる。また、第2段のカレントミラー回路(電流源632)に接続される第3段のカレントミラー回路(電流源633)の個数も少なくなる。したがって、第2段のカレントミラーハー回路(電流源632)と第3段のカレントミラー回路(電流源633)とを密接して配置することができる。

つまり、全体として、第1段のカレントミラー回路(電流源631)、第2段のカレントミラー回路(電流源632)、第3段のカレントミラー回路(電流源633)の電流受け取り部のトランジスタを密接して配置することができる。したがって、密接してカレントミラー回路を構成するトランジスタを配置できるから、トランジスタのばらつきは少なくなり、出力端子からの電波信号のバラツキは極めて少なくなる(精度が高い)。

なお、本例では簡単のため多段式カレントミラー回路を3段構成で說明したが、この段数が大きければほど、電流駆動型表示パネルの

ソースドライバ14の電流源ばらつきが小さくなることは言うまでもない。したがって、カレントミラー回路の段数は3段に限定するものではなく、3段以上であつてもよい。

本発明において、電流源631、632、633と表現したら、カレントミラー回路と表現したりしてみるが、これらは同義に用いてある。つまり、電流源とは、本発明の基本的な構成概念であり、電流源を具体的に構成するこカンントミラー回路となるからである。したがって、電流源はカレントミラー回路のみに限定するものではなく、第72図に図示するようにオペアンプ722、トランジスタ631、および抵抗Rの組合せからなる電流回路でもよい。

第64図はさらに具体的なソースドライバ(回路)14の構造図である。第64図は第3の電流源633の部分を図示している。つまり、1つのソース信号線18に接続される出力部である。最終段のカレントミラー構成として、複数の同一サイズのカレントミラー回路(電流源63164(1単位))で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。

なお、本発明のソースドライバ(回路)14を構成するトランジスタは、MOSタイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリ出素半導体でもよい。また、ゲルマニウム半導体でもよい。また、基板に低温ポリシリコンなどのポリシリコン技術、アモルファスシリコン技術で直接形成したものでもよい。

第64図では、図から明らかであるが、本発明の1実施例として、6ビットのデジタル入力の場合は、ソースドライバ14をアレイ基板に積載することにより、赤(R)、緑(G)、青(B)が各64階層であるから、 $64 \times 64 \times 64 = 26$ 万色を表示できることになる。

第64図において、D0はLSB入力を示しており、D5はMSB入

124

PCT/JP02/09668

WO 03027598

り、カレントミラー回路の2段構成〉であれば、第1段の電流源631と接続される第3段の電流源633の個数が多く、第1段の電流源631と第3段の電流源633とを密接して配置することができない。

本発明のソースドライバ14は、第1段のカレントミラー回路(電流源631)の電流を第2段のカレントミラー回路(電流源632)にゴビーし、第2段のカレントミラー回路(電流源632)の電流を第3段にカレントミラー回路(電流源632)にゴビーする構成である。この構成では、第72図の場合と比較して、第1段のカレントミラー回路(電流源631)に接続される第2段のカレントミラー回路(電流源632)の個数は少ない。したがって、第1段のカレントミラー回路(電流源631)と第2段のカレントミラー回路(電流源632)とを密接して配置することができる。

つまり、全体として、第1段のカレントミラー回路(電流源631)、第2段のカレントミラー回路(電流源632)、第3段のカレントミラー回路(電流源633)の電流受け取り部のトランジスタを密接して配置することができる。したがって、密接してカレントミラー回路を構成するトランジスタを配置できるから、トランジスタのばらつきは少なくなり、出力端子からの電波信号のバラツキは極めて少なくなる(精度が高い)。

なお、本例では簡単のため多段式カレントミラー回路を3段構成で説明したが、この段数が大きければほど、電流駆動型表示パネルの

ソースドライバ14の電流源ばらつきが小さくなることは言うまでもない。したがって、カレントミラー回路の段数は3段に限定するものではなく、3段以上であつてもよい。

本発明において、電流源631、632、633と表現したりしてみるが、これらは同義に用いてある。つまり、電流源とは、本発明の基本的な構成概念であり、電流源を具体的に構成するこカンントミラー回路となるからである。したがって、電流源はカレントミラー回路のみに限定するものではなく、第72図に図示するようにオペアンプ722、トランジスタ631、および抵抗Rの組合せからなる電流回路でもよい。

第64図はさらに具体的なソースドライバ(回路)14の構造図である。第64図は第3の電流源633の部分を図示している。つまり、1つのソース信号線18に接続される出力部である。最終段のカレントミラー構成として、複数の同一サイズのカレントミラー回路(電流源63164(1単位))で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。

なお、本発明のソースドライバ(回路)14を構成するトランジスタは、MOSタイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリ出素半導体でもよい。また、ゲルマニウム半導体でもよい。また、基板に低温ポリシリコンなどのポリシリコン技術、アモルファスシリコン技術で直接形成したものでもよい。

第64図では、図から明らかであるが、本発明の1実施例として、6ビットのデジタル入力の場合は、ソースドライバ14をアレイ基板に積載することにより、赤(R)、緑(G)、青(B)が各64階層であるから、 $64 \times 64 \times 64 = 26$ 万色を表示できることになる。

第64図において、D0は LSB入力を示しており、D5は MSB入

WO00027998

PCT/JP20050668

W003027998

126

力を示している。D 3 入力端子がHレベルのとき（正論理のとき）、スイッチ 6 4 1 a（オンオフ手段である、もちろん、単体トランジスタで構成してもよいし、PトランジスタとNチャンネルトランジスタヒトを組み合わせたアナログスイッチなどでもよい）がオンする。すると、カレントミラーを構成する電流源（1単位）6 3 4に向かって電流が流れれる。この電流はIC 1 4内の内部配線6 4 3に流れれる、この内部配線6 4 3はIC 1 4の端子電極を介してソース信号線1 8に接続されているから、この内部配線6 4 3に流れれる電流が画素1 6のプログラム電流となる。

D 1 入力端子がHレベルのとき（正論理のとき）、スイッチ 6 4 1 bがオンする。すると、カレントミラーを構成する2つの電流源（1単位）6 3 4に向かって電流が流れれる。この電流はIC 1 4内の内部配線6 4 3に流れれる。この内部配線6 4 3はIC 1 4の端子電極を介してソース信号線1 8に接続されているから、この内部配線6 4 3に流れれる電流が画素1 6のプログラム電流となる。

他のスイッチ 6 4 1 でも同様である。D 2 入力端子がHレベルのとき（正論理のとき）は、スイッチ 6 4 1 cがオンする。すると、カレントミラーを構成する4つの電流源（1単位）6 3 4に向かって電流が流れれる。D 5 入力端子がHレベルのとき（正論理のとき）は、スイッチ 6 4 1 fがオンする。すると、カレントミラーを構成する3 2の電流源（1単位）6 3 4に向かって電流が流れれる。

以上のように、外部からのデータ（D 0～D 5）に応じて、それに対する電流源（1単位）に向かって電流が流れれる。したがって、データに応じて、0個から6 3個の電流源（1単位）に電流が流れるように構成されている。なお、本発明は説明を容易にするため、電流源は6ビットの6 3個としているが、これに限定するものではない。8ビットの場合は、2 5 5個の単位電流源6 3 4を形成（配置）すればよい。また、4ビットの場合には、1 5個の単位電流源6 3 4を形成（配置）すればよ

い。単位電流源を構成するトランジスタ6 3 4は同一のチャンネル幅W、チャンネル幅にとすると。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

また、電流源6 3 4はすべてが、同一の電流を出すことに固定するものではない。たとえば、各電流源6 3 4を重み付けしてもよい、たとえば、1単位の電流源6 3 4と、2倍の電流源6 3 4と、4倍の電流源6 3 4などを混在させて電流出力回路を構成してもよい。

しかし、電流源6 3 4を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であつても、各電流源は、1単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

単位電流源6 3 4を構成するトランジスタの大きさは一定以上の大きさが必要である。トランジスタサイズが小さいほど出力電流のバラツキが大きくなる。ここで、トランジスタ6 3 4の大きさとは、チャンネル長Lとチャンネル幅Wとをかけたサイズをいう。たとえば、W=3 μm、L=4 μmであれば、1つの単位電流源を構成するトランジスタ6 3 4のサイズは、W×L=1.2平方μmである。トランジスタサイズが小さくなるほどバラツキが大きくなるのはシリコンウエハの結晶界面の状態が影響しているためと考えられる。したがって、1つのトランジスタが複数の結晶界面にまたがっているとトランジスタの出力電流バラツキは小さくなる。

トランジスタサイズと出力電流のバラツキの関係を第117図に示す。第117図のグラフの横軸はトランジスタサイズ（平方μm）である。縦軸は、出力電流のバラツキ（c）を%で示したものである。ただし、出力電流のバラツキ%は、単位電流源（1つの単位トランジスタ6 3 4を6 3個の組で形成し（6 3個形成）、この組を多数組ウエハ）上に形成し、出力電流のバラツキをもとめたものである。したがって、

25 26

W0 02 027998

PCT/JP02/09668

127

グラフの横軸は、1つカ単位電流源を構成するトランジスタサイズで図示しているが、実際の並列するトランジスタは6.3倍あるので面積は6.3倍である。しかし、本発明は単位電流源6.34の大きさを単位として換算している。したがって、第1-17図において、3.0平方μmの単位トランジスタ6.34を6.3個形成したとき、その時の出力電流のバラツキは、0.5%となることを示している。

6.4階調の場合は、 $1.00 / 6.4 = 1.5\%$ である。したがって、出力電流バラツキは $1.5\% \times 6.3 = 1.5\%$ 以内にする必要がある。第1-17図か5.1.5%以下にするためには、単位トランジスタのサイズは2.0平方μm以上にする必要がある（6.4階調は6.3個の2.0平方μmの単位トランジスタが動作する）。一方でトランジスタサイズには制限がある。ICチップサイズが大きくなるほど、1出力あたりの幅に制限があるからである。この点から、単位電流源6.34のサイズの上限は、3.00平方μmである。したがって、6.4階調表示では、単位電流源6.34のサイズは、2.0平方μm以上3.00平方μm以下にする必要がある。

1.2.8階調の場合は、 $1.00 / 1.28 = 1.6\%$ である。したがって、出力電流バラツキは $1.6\% \times 6.3 = 1.6\%$ 以内にする必要がある。第1-17図から1%以下にするためには、単位トランジスタのサイズは8.0平方μm以上にする必要がある。したがって、1.28階調表示では、単位電流源6.34のサイズは、8.0平方μm以上3.00平方μm以下にする必要がある。

なお、第1-17図は1.0のバラツキデータである。3.0を基準とするならば、6.4階調の場合は、 $(1.00 / 6.4) / 3 = 0.5\%$ である。したがって、出力電流バラツキは0.5%以内にする必要がある。第1-17図から0.5%以下にするためには、単位トランジスタのサイズは3.0平方μm以上にする必要がある。一方でトランジスタサイズには制限がある、3.0を基準とするとならば、6.4階調表示では、単位電流源6.34のサイズは、3.0平方μm以上3.00平方μm以下にする必要がある。実際には、多少のバラツキが発生しても画像表示でのバラツキが

認識されることはない。6.4階調表示では、2.0レベルの1.5平方μm以上3.0平方μm以下で実用上は十分であった。
一般的に、階調数をKとし、単位トランジスタ6.34の大きさをSt_K（平方μm）としたとき、

$$5.43 \leq K / (S_t)_K \leq 3.00 \text{ の関係を満足させる}.$$

さらに好ましくは、 $1.20 \leq K / (S_t)_K \leq 1.50$ の関係を満足させることが好ましい。

以上の例は、6.4階調で6.3個のトランジスタを形成した場合である。10.6.4階調を1.27個の単位トランジスタ6.34で構成する場合は、単位トランジスタ6.34のサイズとは、2つの単位トランジスタ6.34を加えたサイズである。たとえば、6.4階調で、単位トランジスタ6.34のサイズが1.0平方μmであり、1.27個形成されいたら、第1-17図では単位トランジスタのサイズは $1.0 \times 2 = 2.0$ の値をみる必要がある。同様に、6.4階調で、単位トランジスタ6.34のサイズが1.0平方μmであり、2.55個形成されいたら、第1-17図では単位トランジスタのサイズは $1.0 \times 4 = 4.0$ の値をみる必要がある。第3-4図の構成は第6-3図に図示する第3段のカレントミラー部である。したがって、第1の電流源6.31と第2段の電流源6.32とが別途形成されており、これらが密接（密接あるいは隣接）して配置されているのである。また、第2段の電流源6.32および第3段の電流源を構成するカレントミラー回路のトランジスタ6.33aも密接（密接あるいは隣接）して配置される。

なお、特に電流源（：単位）6.34は、密接して配置され、かつ微小な電流が流れれる。したがって、E-L表示パネルなどから放射される光（発光）が、電流源6.34（他に6.31、6.32、6.33も考慮すべきである）に照射されると、ホトコンダクタ現象（ホトコン）により駆動作を引き起こす。この課題に対応するため、チップの裏面に遮光膜を形成

PCT/JP02/09668

W0 03 027998

128

認識されることはない。6.4階調表示では、2.0レベルの1.5平方μm以上3.0平方μm以下で実用上は十分であった。

一般的に、階調数をKとし、単位トランジスタ6.34の大きさをSt_K（平方μm）としたとき、

$$5.43 \leq K / (S_t)_K \leq 3.00 \text{ の関係を満足させる}.$$

さらに好ましくは、 $1.20 \leq K / (S_t)_K \leq 1.50$ の関係を満足させることが好ましい。

以上の例は、6.4階調で6.3個のトランジスタを形成した場合である。10.6.4階調を1.27個の単位トランジスタ6.34で構成する場合は、単位トランジスタ6.34のサイズとは、2つの単位トランジスタ6.34を加えたサイズである。たとえば、6.4階調で、単位トランジスタ6.34のサイズが1.0平方μmであり、1.27個形成されいたら、第1-17図では単位トランジスタのサイズは $1.0 \times 2 = 2.0$ の値をみる必要がある。同様に、6.4階調で、単位トランジスタ6.34のサイズが1.0平方μmであり、2.55個形成されいたら、第1-17図では単位トランジスタのサイズは $1.0 \times 4 = 4.0$ の値をみる必要がある。第3-4図の構成は第6-3図に図示する第3段のカレントミラー部である。したがって、第1の電流源6.31と第2段の電流源6.32とが別途形成されており、これらが密接（密接あるいは隣接）して配置されているのである。また、第2段の電流源6.32および第3段の電流源を構成するカレントミラー回路のトランジスタ6.33aも密接（密接あるいは隣接）して配置される。

なお、特に電流源（：単位）6.34は、密接して配置され、かつ微小な電流が流れれる。したがって、E-L表示パネルなどから放射される光（発光）が、電流源6.34（他に6.31、6.32、6.33も考慮すべきである）に照射されると、ホトコンダクタ現象（ホトコン）により駆動作を引き起こす。この課題に対応するため、チップの裏面に遮光膜を形成

PCT/JP02/09668

W0 03 027998

127

認識されることはない。6.4階調表示では、2.0レベルの1.5平方μm以上3.0平方μm以下で実用上は十分であった。

一般的に、階調数をKとし、単位トランジスタ6.34の大きさをSt_K（平方μm）としたとき、

$$5.43 \leq K / (S_t)_K \leq 3.00 \text{ の関係を満足させる}.$$

さらに好ましくは、 $1.20 \leq K / (S_t)_K \leq 1.50$ の関係を満足させることが好ましい。

以上の例は、6.4階調で6.3個のトランジスタを形成した場合である。10.6.4階調を1.27個の単位トランジスタ6.34で構成する場合は、単位トランジスタ6.34のサイズとは、2つの単位トランジスタ6.34を加えたサイズである。たとえば、6.4階調で、単位トランジスタ6.34のサイズが1.0平方μmであり、1.27個形成されいたら、第1-17図では単位トランジスタのサイズは $1.0 \times 2 = 2.0$ の値をみる必要がある。同様に、6.4階調で、単位トランジスタ6.34のサイズが1.0平方μmであり、2.55個形成されいたら、第1-17図では単位トランジスタのサイズは $1.0 \times 4 = 4.0$ の値をみる必要がある。第3-4図の構成は第6-3図に図示する第3段のカレントミラー部である。したがって、第1の電流源6.31と第2段の電流源6.32とが別途形成されており、これらが密接（密接あるいは隣接）して配置されているのである。また、第2段の電流源6.32および第3段の電流源を構成するカレントミラー回路のトランジスタ6.33aも密接（密接あるいは隣接）して配置される。

なお、特に電流源（：単位）6.34は、密接して配置され、かつ微小な電流が流れれる。したがって、E-L表示パネルなどから放射される光（発光）が、電流源6.34（他に6.31、6.32、6.33も考慮すべきである）に照射されると、ホトコンダクタ現象（ホトコン）により駆動作を引き起こす。この課題に対応するため、チップの裏面に遮光膜を形成

WO 03027994

PCT/JP2003/00668

129

する。また、基板に実装する箇所で、かつ、チップの電流源が形成された箇所に遮光膜を形成する（パネル基板の表面に金属薄膜、有機材料あるいは無機材料などからなる光吸収膜を形成する）。この遮光膜に、E-L粒子 1 うに電流を供給するアノード配線、ナード配線を引き回す（**6** (ICチップ下に引き回す) ことにより、構成が容易であり、低コスト化できる。この構成は、ICチップに限定されるものではない。低温ボリシリコン、高温ボリシリコンもしくは固相成長により形成された半導体膜（CGS）、アモルファスシリニン技術を用いてソースドライバ1 うにも適用される。つまり、このソースドライバ1 うの裏面に遮光膜を形成する。**10**

第2段のカレントミラー回路 6 3 2 を流れる電流は、第3段のカレントミラー回路を構成するトランジスタ 6 3 2 にコピーされ、カレントミラー倍率が 1 倍の時は、この電流がトランジスタ 6 3 3 b に流れれる。この電流は、最終段のトランジスタ 6 3 4 にコピーされる。**15** D 0 に対応する部分は、1 個のトランジスタ 6 3 3 に流れる電流値である。D 1 に対応する部分は 2 個のトランジスタ 6 3 4 で構成されているので、最終段電流源の 2 倍の電流値である。D 2 は 4 個のトランジスタ 6 3 4 で構成されているので、最終段電流源の 4 倍の電流値である。以下同様にして、D 5 に対する部分は 3 2 個のトランジスタ 6 3 4 で構成されているので、最終段電流源の 3 2 倍の電流値である。したがって、6 ビットの画像データ D 0、D 1、D 2、・・・、D 5 で制御されるスイッチを介してプログラム電流 I w はソース信号線に出力される（電流を引き込む）。したがって、6 ビットの画像データ D 0、D 1、D 2、・・・、D 5 の ON、OFF に応じて、出力線には、最終段電流源 6 3 3 の 1 倍、2 倍、4 倍、・・・、3 2 倍の電流が加算されて出力される。すなわち、6 ビットの画像データ D 0、D 1、D 2、・・・、D 5 により、最終段電流源 6 3 3 の 0 ~ 6 3 倍の電流値が出力線より出力される（ソース信号線

18 から電流を引き込む。
以上のように、最終段電流源 6 3 3 の整数倍の構成により、従来の W/N の比部分と比較して、より高精度に電流値を制御できる（各電子の出力バラツキがなくなる）。

5 ただし、この構成は、画素 6 を構成する駆動用 TFT 1 1 a が P チャンネルで構成され、かつ、ソースドライバ 1 うを構成する電流源（1 単位）部 6 3 c が N チャンネルトランジスタで構成されている場合である。他の場合（例えば、画素 1 うの駆動用 TFT 1 1 a が N チャンネルトランジスタで構成されている場合など）は、プログラム電流 I w が吐出しえ電流となる構成も実現できることはいうまでもない。

10 なお、最終段電流源 6 3 3 の 0 ~ 6 3 倍の電流が出力されたが、これは最終段電流源 6 3 3 のカレントミラー倍率が 1 倍のときである。カレントミラー倍率が 2 倍のときは、最終段電流源 6 3 3 の 0 ~ 1 2 6 倍の電流が出力され、カレントミラー倍率が 0、5 倍のときは、最終段電流源 6 3 3 の 0 ~ 3 1、5 倍の電流が出力される。以上のように、本発明は最終段電流源 6 3 3 あるいは、それより前段の電流源（6 3 1、6 3 2 など）のカレントミラー倍率を変化させることにより、出力の電流値を容易に変更できる。また、以上の事項は、R、G、B ごとにカレントミラー倍率を変更する（異ならせる）ことも好ましい。たとえば、**15** R のみ、いずれかの電流源のカレントミラー倍率を他の色に対して（他の色に対する電流源回路に対して）、変化（異ならせる）させてもよい。特に、E-L 表示パネルは、各色（R、G、B あるいはシアン、イエロー、マゼンダ）ごとに発光効率などが異なる。したがって、各色でカレントミラー倍率を変化させることにより、ホワイトバランスを良好にできる。

20 電流源のカレントミラー倍率を他の色に対して（他の色に対する電流源回路に対して）、変化させる（異ならせる）という事項は、固定的なものに限定されない。可変することも含まれる。可変は、電流源に力

WO 03027994

PCT/JP2003/00668

130

130

WO 03027598

WO 03027598

PCT/JP02/09668

131

レントミラー回路を構成するトランジスタを複数形成しておき、外部からの信号によりカレント電流を流す前記トランジスタの個数を切り替えることにより実現できる。このように構成することにより、作製されたE.I表示パネルの各色の発光状態を観察しながら、最適なホワイトバルансに調整することが可能になる。特に、本発明は、多段に電流源（カレントミラー回路）を連結する構成である。したがって、第1段の電流源631と第2段の電流源632とのカレントミラー倍率を変化させると、少ない連続部（カレントミラー回路など）により容易に多段の出力電流を変化できる。もちろん、第2段の電流源632と第3段の電流源633とのカレントミラー倍率を変化さざるよりも、少ない連続部（カレントミラー回路など）により容易に多段の出力電流を変化できることはいうまでもない。

なお、カレントミラー倍率を変化させるという概念は、電流倍率を変化（調整）させることである。したがって、カレントミラー回路のみに限定されるものではない。たとえば、電流出力のオペアンプ回路、電流出力のD/A回路などでも実現できる。

以上に説明した事項は、本発明の他の実施例についても適用されることはいうまでもない。

第65図に、3段式カレントミラー回路による176出力（ $N \times M = 20 \times 176$ ）の回路図の一例を示す。第65図では、第1段カレントミラーレンジによる電流源631を複数個、第2段カレントミラーレンジによる電流源632を子電流源、第3段カレントミラーレンジによる電流源633を孫電流源と記している。最終段カレントミラー回路である第3段カレントミラー回路による電流源の整数倍により、176出力のはらつきを極力抑え、高精度な電流出力が可能である。もちろん、電流源631、632、633を密集して配置するという構成を忘れてはならない。

なお、ここで「密集して配置する」とは、第1の電流源631と第2

の電流源632とを少なくとも8mm以内の距離に配置（電流あるいは電圧の出力側と電流あるいは電圧の入力側）することをいう。さらには、5mm以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（V_t、モビリティ μ ）差がほとんど発生しないからである。また、同様に、第2の電流源632および第3の電流源633（電流の出力側と電流の入力側）も少なくとも8mm以内の距離に配置する。さらに好ましくは、5mm以内の位置に配置することが好ましい。以上の事項は、本発明の他の実施例においても適用されることは言うまでもない。

10 この電流あるいは電圧の出力側と電流あるいは電圧の入力側とは、以下の関係を意味する。第66図の電圧受け渡しの場合は、第(1)段の電流源のトランジスタ631（出力側）と第(1+1)の電源のトランジスタ632a（入力側）とを密集して配置する関係である。第67図の電流受け渡しの場合は、第(1)段の電流源のトランジスタ631と第(1+1)の電流源のトランジスタ632b（入力側）とを密集して配置する関係である。

なお、第65図、第66図などにおいて、トランジスタ631は1個としたが、これに限さるものではない。たとえば、小さなトランジスタ631を複数個形成し、この複数個のトランジスタのソースまたはドレン端子を抵抗R51と接続してもよい。小さなトランジスタを複数個並列に接続することにより、トランジスタのばらつきを低減することができる。

同様に、トランジスタ632aは1個としたが、これに限さるものではない。たとえば、小さなトランジスタ632aを複数個形成し、このトランジスタ632aの複数個のゲート端子を、トランジスタ631のゲート端子と接続してもよい。小さなトランジスタ632bを複数個並列に接続することにより、トランジスタ632aのばらつきを低減することができる。

WO 03037998

PCT/JP02/09648

133

したがって、本発明の構成としては、1つのトランジスタ₆₃₁と複数個のトランジスタ_{632a}とを接続する構成、複数個のトランジスタ₆₃₁と1個のトランジスタ_{632a}とを接続する構成、複数個のトランジスタ₆₃₁と複数個のトランジスタ_{632a}とを接続する構成が5
5 前記である。

以上の事項は、第63図のトランジスタ_{633a}とトランジスタ_{633b}とを接続する構成、複数個のトランジスタ_{633a}と1個のトランジスタ_{633b}とを接続する構成、複数個のトランジスタ_{633a}と複数個のトランジスタ_{633b}とを接続する構成が10
10 显示される。小さなトランジスタ₆₃₃と複数個並列に接続することにより、よりばらつきの小さい電流により、トランジスタ₆₃₃のばらつきを低減することができるからである。

また、以上の事項は、第68図のトランジスタ_{632a}、_{632b}との関係にも適用することができる。また、第64図のトランジスタ_{633b}も複数個のトランジスタで構成することが好ましい。第73図、第74図のトランジスタ₆₃₃についても同様に複数個のトランジスタで構成することが好ましい。
15
15

ここで、シリコンチップとしたが、これは、半導体チップの意味である。したがって、ガリウム基板に形成されたチップ、ゲルマニウム基板など形成された他の半導体チップも同様である。
20
20

さらには、低温ポリシリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜(CGS)、もしくはアモルファスシリコン筐体を用いてソースドライバにも適用される。ただし、この場合は、バネルが比較的大型の場合が多い。バネルが大型であると多少のソース信号線18からの出力バラツキがあつても視覚的に認識されにくく、したがつて、以上のガラス基板などに画素 TFTと同時にソースドライバ14を形成する表示パネルでは、省集して配置するとは、第1の電流源₆₃
25
25

1と第2の電流源₆₃₂とを少なくとも30mm以内の距離に配置(電流の出力側と電流の入力側)することをいう。さらには、20mm以内に配置することが好ましい。この範囲であれば、検討によりこの範囲に配置されたトランジスタの特性(V_t、モビリティ(μ))差がほとんど5
5 発生しないからである。また、同様に、第2の電流源₆₃₂および第3の電流源₆₃₃(電流の出力側と電流の入力側)も少なくとも30mm以内の距離に配置する、さうに好ましくは、20mm以内の位置に配置することが好ましい。

以上の説明は、理解を容易に、あるいは説明を容易にするため、カレントミラー回路箇では電圧により信号を受け渡すように説明をした。しかし、電流受け渡し構成することにより、よりばらつきの小さい電流自動型表示パネルの駆動用マイクロ回路(MIC)₁₄を実現することができる。
10
10

第67図は電流受け渡し構成の実施例である。なお、第66図は電圧受付渡し構成の実施例である。第66図、第67図とも回路図として同じであり、レイアウト構成すなわち配線の引き回し方が異なる。第66図において、₆₃₁は第1段電流源用Nchトランジスタ、_{632a}は第2段電流源用Nchトランジスタ、_{632b}は第2段電流源用Pchトランジスタである。
15
15

第67图において、₆₃₁は第1段電流源用Nchトランジスタ、_{632a}は第2段電流源用Nchトランジスタである。
20
20

第67図では、可変抵抗₆₅₁（電流を変化するために用いるものである）とNchトランジスタ₆₃₁で構成される第1段電流源のゲート電圧が、第2段電流源のNchトランジスタ_{632a}のゲートに受けて送されているので、電圧受け渡し方式のレイアウト構成となる。
25
25

一方、第67図では、可変抵抗₆₅₁とNchトランジスタ₆₃₁で構成される第1段電流源のゲート電圧が、隣接する第2段電流源のN

WO 030327998

PCT/JP02/049668

WO 030327998

PCT/JP02/099668

135

chトランジスタ632aのゲートに印加され、その結果トランジスタに流れれる電流値が、第2段電流源のPchトランジスタ632bに受け渡されているので、電流受け渡し方式のレイアウト構成となる。

なお、本発明の実施例では説明を容易にするため、あるいは理解を容易にするために、第1の電流源と第2の電流源との関係を中心にして説明しているが、これに限定されるものではなく、第2の電流源と第3の電流源との関係、あるいはそれ以外の電流源との関係においても適用される（適用できる）ことは言うまでもない。

第66図に示した電圧受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第1段の電流源のNchトランジスタ631と第2段の電流源のNchトランジスタ632aが離れ離れになる（離れ離れになりやすいといふべきではある）ので、両者のトランジスタ特性に相違が生じやすい、したがって、第1段電流源の電流値が第2段電流源に正確に伝達されず、ばらつきが生じやすい。
それに対して、第67図に示した電流受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第1段電流源のNchトランジスタ631aと第2段電流源のNchトランジスタ632aとが隣接している（隣接して配置しやすい）ので、両者のトランジスタ特性に相違は生じにくく、第1段電流源の電流値が第2段電流源に正確に伝達され、ばらつきが生じにくい。

以上のことから、本発明の多段式カレントミラー回路の回路構成（説明の電流駆動方式のソースドライバ（IC）14）として、電圧受け渡しではなく、電流受け渡しとなるレイアウト構成とすることにより、よりばらつきが小さくでき好ましい、以上の実験例は本発明の他の実験例にも適用できることは言うまでもない。

なお、説明の都合上、第1段電流源から第2段電流源の場合を示したが、第2段電流源から第3段電流源、第3段電流源から第4段電流源、・・・の場合も同様であることは言うまでもない。

第68図は、第65図の3段構成のカレントミラー回路（3段構成の電流源）を、電流受け渡し方式にした場合の例を示している（したがつて、第65図は電圧受け渡し方式の回路構成である）。

第68図では、まず、可変抵抗651とNchトランジスタ631で5基串電流（基準信号）が生成される。なお、可変抵抗651で基準電流を調整するように説明しているが、実際は、ソースドライバ（回路）14内に形成（もしくは配置）された電子ボリューム回路によりトランジスタ631のソース電圧が設定され、調整されるよう構成される。しかし、第64図に示すような多數の電流源（1単位）634から構成される電流方式の電子ボリュームから出力される電流を直接にトランジスタ631のソース端子に供給することにより基準電流は調整される（第69図を参照のこと）。

トランジスタ631による第1段電流源のゲート電圧が、隣接する第2段電流源のNchトランジスタ632aのゲートに印加され、その結果トランジスタに流れれる電流値が、第2段電流源のPchトランジスタ632bによるゲート電圧が、隣接する第3段電流源のNchトランジスタ633aのゲートに印加され、その結果トランジスタに流れれる電流値が、第3段電流源のNchトランジスタ633bに受け渡される。第3段電流源634が必要なビット数に応じて形成（配置）される。
第69図では、前述多段式カレントミラー回路の第1段電流源631に、電流直調用素子が具備されていることを特徴としている。この構成により、第1段電流源631の電流値を変化させることにより、出力電流をコントロールすることが可能となる。

トランジスタのVtバラツキ（特性バラツキ）は、1ウエハ内で100mV程度のばらつきがある。しかし、100μm以内に近接して形成されたトランジスタのVtバラツキは、少なくとも、10mV以下である

136

PCT/JP2006/09668

WO 07077998

PCT/JP02/09668

137

138

(実測)。つまり、トランジスタを近接して形成し、カレントミラー回路を構成することにより、カレントミラー回路の出力電流バラツキを減少させることができる。したがって、ソースドライバの各端子の出力電流バラツキを少なくすることができます。

6 第110図はトランジスタの形成面積(平方ミリメートル)と、単体トランジスタの出力電流バラツキ(30)との測定結果を示している。

出力電流バラツキとは、V_t電圧での電流バラツキである。黒点は所定の形成面積内に作製された評価サンプル(10-200個)のトランジスタ出力電流バラツキである。第110図のA領域(形成面積0.5平方ミリメートル以内)内で形成されたトランジスタには、ほとんど出力電流のバラツキがない(ほぼ、誤差範囲の出力電流バラツキしかない)。つまり、一定の出力電流が出来られる)。逆にC領域(形成面積2.4平方ミリメートル以上)では、形成面積に対する出力電流のバラツキが急激に大きくなる傾向がある。B領域(形成面積0.5平方ミリメートル以上2.4平方ミリメートル以下)では、形成面積に対する出力電流のバラツキはほぼ比例の関係にある。

ただし、出力電流の絶対値は、ウエハごとに異なる。しかし、この問題は、本発明のソースドライバ(IC)において、基準電流を調整すること、あるいは所定値にすることにより対応できる(解決できる)。

20 トミラーア回路などの回路工夫で対応できる(解決できる)。

本発明は、入力デジタルデータ(D)により、単位トランジスタ634に流れる電流数を切り替えることによりソース信号線18に流れる電流値を変化(削減)する。階調数が64階調以上であれば、1/64=0.015であるから、理論的には、1~2%以内の出力電流バラツキ以降にする必要がある。なお、1%以内の出力バラツキは、視覚的に判別することが困難になり、0.5%以下ではほぼ判別することができない(均一に見える)。

出力電流バラツキ(%)を1%以内にするためには、第110図の結果に示すようにトランジスタ群(バラツキ)の発生を抑制すべきトランジスタの形成面積を2平方mm以内にする必要がある。さらに併ましくは、出力電流のバラツキ(つまり、トランジスタのV_tバラツキ)を0.5%以内にすることが好ましい。第110図の結果に示すようにトランジスタ群681の形成面積を1.2平方mm以内にすればよい。なお、形成面積とは、横×縦の長さの面積である。たとえば、一例として、1.2平方mmでは、1mm×1.2mmである。

なお、以上は、特に8ビット(256階調)以上の場合である。256階調以下の場合は、たとえば、6ビット(64階調)の場合は、出力電流のバラツキは2%程度であつても良い(直角表示上、実状は問題がない)。この場合は、トランジスタ群681は、5平方ミリメートル以内に形成すればよい。また、トランジスタ群681(第68図では、トランジスタ群681aと681bの2つを図示している)の両方が、この条件を満足することを要しない、少なくとも一方が(3つ以上ある場合は、1つ以上のトランジスタ群681)この条件を満足するよう構成すれば本発明の効果が発揮される。特に、下位のトランジスタ群681aが上位で、681bが下位の関係)に、関してこの条件を満足させることが好ましい。画像表示に問題が発生しにくくなるからである。

25 以上の事項は本発明の他の実施例においても適用され、また、本発明の表示パネル、アレイ、表示装置などと組み合わせることができる。

本発明のソースドライバ(IC)14は、第68図に図示するように、親、子、孫というように少なくとも複数の電源を多段接続し、かつ各電源電源位置にしている(もちろん、親、子の2段接続でもよい)。また、各電源電源(トランジスタ群681間)を電流受行渡しにしている。具体的には、第68図の点線で囲った範囲(トランジスタ群681)を密配置にする。このトランジスタ群681は電圧受け渡しの関係にある。

また、親の電源631と子の電源632aとは、ソースドライバ

WO 07077998

WO 03027998

PCT/JP2003/00668

W0 03027998

139

4 チップの端中央部に形成または配置する。チップの左右に配置された子の電流源を構成するトランジスタ 6 3 2 a と、子の電流源を構成するトランジスタ 6 3 2 b との距離を比較的短くすることができるからである。つまり、最上位のトランジスタ群 6 8 1 a を IC チップの路中央部に配置する。そして、IC チップ 1 4 の左右に、下位のトランジスタ群 6 8 1 b を配置する。好ましくは、この下位のトランジスタ群 6 8 1 b の個数が IC チップの左右で略等しくなるように配置または、形成もしくは作製するのである。なお、以上の事項は、IC チップ 1 4 に限定されず、低温あるいは高溫ポリシリコン技術で基板 7 1 に直接形成したソースドライバ 1 4 にも適用される。他の事項も同様である。

本発明では、トランジスタ群 6 8 1 a は IC チップ 1 4 の路中央部に 1 つ構成または配置または形成あるいは作製されており、チップの左右に 8 個ずつトランジスタ群 6 8 1 b が形成されている ($N = 8 + 8$ 、第 6 3 図を参照のこと)。子のトランジスタ群 6 8 1 b はチップの左方に等しくなるように、もしくは、チップ中央の規が形成された位置に対し、左側に形成または配置されたトランジスタ群 6 8 1 b の個数と、チップの右側に形成または配置されたトランジスタ群 6 8 1 b の個数との差が、4 個以内となるようには配置することができる。さらには、チップの左側に形成または配置されたトランジスタ群 6 8 1 b の個数と、チップの右側に形成または配置されたトランジスタ群 6 8 1 b の個数との差が、1 個以内となるようには構成することが好ましい。係にあたるトランジスタ群(第 6 8 図では省略されているが)についても同様である。

親電流源 6 3 1 と子電流源 6 3 2 a との間は電圧受け端子(電圧接続)されている。したがって、トランジスタの V_t(パラッキ)の影響を受けやすい。そのため、トランジスタ群 6 8 1 a の部分を密配置する。このトランジスタ群 6 8 1 a の形成面積を、第 1 1 0 図で示すように 2 平方ミリメートル以下の面積に形成する。さらに好ましくは 1.2 平方ミ

リメートル以内に形成する。もちろん、階級数が 6 4 階級以下の場合は、5 平方ミリメートル以内でもよい。

トランジスタ群 6 8 1 c とトランジスタ 6 3 2 b との間は電圧データを受け渡し(電圧受け渡し)しているので、多少、距離は離れておられない。この距離の範囲(たとえば、上位のトランジスタ群 6 8 1 a の出力端から下位のトランジスタ群 6 8 1 b の入力端までの距離)は、先に説明したように、第 2 の電流源(子)を構成するトランジスタ 6 3 2 a と第 2 の電流源(子)を構成するトランジスタ 6 3 2 b とを、少なくとも 10 mm 以内の距離に配置する、好ましくは 8 mm 以内に配置または形成する。さらには、5 mm 以内に配置することが好ましい。この範囲であれば、後述によりシリコンチップ内で配置されてトランジスタの特性(V_t、モビリティ(μ))差が、電流受け渡しではほとんど影響しないからである。特に、この関係は、下位のトランジスタ群で実施することができる。たとえば、トランジスタ群 6 8 1 a が上位で、その下位にトランジスタ群 6 8 1 b、さらにその下位にトランジスタ群 6 8 1 c があれば、トランジスタ群 6 8 1 b とトランジスタ群 6 8 1 c の電流受け渡しがこの関係を満足させる。したがって、すべてのトランジスタ群 6 8 1 がこの関係を満足させることに、本発明が限定されることではない。少なくとも 1 組のトランジスタ群 6 8 1 がこの関係を満足させることにすればよい。特に、下位の方が、トランジスタ群 6 8 1 の個数が多くなるからである。

第 3 の電流源(孫)を構成するトランジスタ 6 3 3 a と第 3 の電流源を構成するトランジスタ 6 3 3 b についても同様である。なお、電圧受け渡しでも、ほぼ適用することができることは言うまでもない。

トランジスタ群 6 8 1 b はチップの左右方向(長手方向、つまり、出力端子 7 6 1 と対面する位置)に形成または作製あるいは配置されている。このトランジスタ群 6 8 1 b の個数 M は、本発明では 11 図(第 3 図を参照)である。

25

親電流源 6 3 1 と子電流源 6 3 2 a との間は電圧受け端子(電圧接続)されている。したがって、トランジスタの V_t(パラッキ)の影響を受けやすい。そのため、トランジスタ群 6 8 1 a の部分を密配置する。このトランジスタ群 6 8 1 a の形成面積を、第 1 1 0 図で示すように 2 平方ミリメートル以下の面積に形成する。さらに好ましくは 1.2 平方ミ

140

PCT/JP2003/00668

09/14/2007 15:55 FAX 2027568087

141

子電流源 6 3 2 b と孫電流源 6 3 3 a の間は電圧受け渡し（電圧検続）されている。そのため、トランジスタ群 6 3 3 a と同様にトランジスタ群 6 3 1 b の部分を密配置する。このトランジスタ群 6 3 1 a と同様にトランジスタ群 6 3 1 b の形成面積を、第 110 図で示すように 2 平方ミリメートル以内とする。さるに好ましくはし、2 平方ミリメートル以内とする。ただし、このトランジスタ群 6 3 1 b 部分の面積が少しどちらくと匪値として認識されやすい。したがって、ほとんどバラツキが発生しないように、形成面積は第 110 図の A 領域（0.5 平方ミリメートル以内）にすることが好ましい。

10 トランジスタ群 6 3 1 b を構成する孫トランジスタ 6 3 3 a とトランジスタ 6 3 3 b の間は電流でデータを受け渡し（電流受け渡し）しているので、多少、距離が離れて構わない。この距離の範囲についても先の説明と同様である。第 3 の電源（孫）を構成するトランジスタ 6 3 3 a と第 2 の電流源（孫）を構成するトランジスタ 6 3 3 b とを、少なくとも 8 mm 以内の距離に配置する。さらには、50 μm 以内に配置することが好ましい。

15 第 6 9 図に、前記電流倍増用素子として、電子ボリウムで構成した場合を示す。電子ボリウムは抵抗 6 9 1（電流制限および各基準電圧を作成する。抵抗 6 9 1 はボリシリコンで形成する）、デコーダ 6 9 2、レベルシフタ 6 9 3 などで構成される。なお、電子ボリウムは電流を出力する。トランジスタ 6 9 1 はアナログスイッチ回路として機能する。また、電子ボリウム回路は、E 1 表示パネルの色数に応じて形成（もしくは配置）する。たとえば、RGB の 3 原色であれば、各色に対応する 3 つの電子ボリウム回路を形成（もしくは配置）し、各色を独立に識別できるようになることが好ましい。しかし、1 つの色を基準にする（固定する）場合は、色数 - 1 分の電子ボリウム回路を形成（もしくは配置）する。

20 第 7 6 図は、RGB の 3 原色を独立に基準電流を制御する抵抗素子 6 25

5 : を形成（記憶）した構成である。もちろん、抵抗素子 6 5 1 は電子ボリウムに置き換えててもよいことは言うまでもない。電流源 6 3 1、電流源 6 3 2 などの親電流源、子電流源など基本（根本）となる電流源は第 7 6 図に図示する領域に電流出力回路 7 0 4 に密接して配置する。密接して配置することにより、ソース信号線 1 8 からの出力バラツキが低減する。第 7 6 図に図示するように IC チップ（回路）1 4 の中央部に電流出力回路 7 0 4 に配置することにより、IC チップ（回路）1 4 の左右に電流源 6 3 1、6 3 2 などから電流を均等に分配することが容易となる。したがって、左右の出力バラツキが発生しにくくなる。

10 ただし、中央部に電流出力回路 7 0 4 に配置することに限定するものではない。IC チップの片端もしくは両端に形成してもよい。また、出力段回路と平行に形成してもよい。

電流出力回路 7 0 4 は、R、G、B ごとに形成（記憶）し、かつ、この RGB の電流出力回路 7 0 4 R、7 0 4 G、7 0 4 B も近接して配置する。また、各色（R、G、B）に、第 7 3 図に図示する低電流領域の基準電流 INL を調整し、また、第 7 4 図に図示する低電流領域の基準電流 INH を調整する（第 7 9 図も参照のこと）。したがって、R の電流出力回路 7 0 4 R には低電流領域の基準電流 INL を調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）6 5 1 R 20 が配置され、高電流領域の基準電流 INH を調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）6 5 1 RH が配置される。同様に、G の電流出力回路 7 0 4 G には低電流領域の基準電流 INL を調整するボリウム（もしくは、電圧出力もしくは、電流出力の電子ボリウム）6 5 1 GL が配置され、高電流領域の基準電流 INH を調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）6 5 1 GH が配置される。また、B の電流出力回路 7 0 4 B には低電流領域の基準電流 INL を調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウム）6 5 1 BL が配置され、高電流領域の基準電流

電流 I NH を調整するボリュウム（ちしくは、電圧出力もしくは電流出力の電子ボリュウム）6 5；BH が配置される。
なお、ボリュウム 6 5 1 などは、E レジスター 1 5 の温度特性を補償できる
ように、温度で変化するように構成することが好ましい。また、第 7 9
5 図に示すガンマ特性で、折れがり点が 2 点以上あるときは、各色の基
準電流を調整する電子ボリュウムあるいは抵抗などは 3 倍以上にして
よいことは言うまでもない。

IC チップの出力端子には、出力カバット 7 6 1 が形成または配置され
ている。この出カバットと、表示パネルのソース信号線 1 8 とが接続さ
れる。出カバット 7 6 1 は、メッキ技術あるいはネイルヘッドパンダ技
術によりパンプ（突起）が形成されている。突起の高さは 1 0 μ m 以上
4 0 μ m 以下の高さにする。

前記パンプと各ソース信号線 1 8 とは導電性接着層（図示せず）を介
して電気的に接続されている。導電性接着層は接着剤としてエボキシ系、
15 フェノール系等を主剤とし、銀（Ag）、金（Au）、ニッケル（Ni）、
カーボン（C）、酸化錫（SnO₂）などのフラークを混ぜた物、ある
いは紫外線硬化樹脂などである。導電性接着層は、転写等の技術でバン
プ上に形成する。また、バンプとソース信号線 1 8 とを AC F 鋼層で熱
压着する。なお、バンプあるいは出カバット 7 6 1 とソース信号線 1 8
20 この接続は、以上の方式に限定するものではない。また、アレイ基板上
に IC 1 4 を接続せず、フィルムキャリヤ技術を用いてもよい。また、
ポリミドフィルム等を用いてソース信号線 1 8 などと接続しても良
い。

第 6 9 図において、入力された 4 ビットの電流値制御用データ（D
25 1）は、4 ビットデコーダ回路 6 9 2 でコードされる（分割数が 6 4
必要であれば、6 ビットにすることは言うまでもない）。ここでは説明を
容易にするため、4 ビットとして説明をする）。その出力はレベルシフ
タ回路 6 9 3 により、ロジックレベルの電圧値からアナログレベルの電

圧値に昇圧され、アナログスイッチ 6 4 1 に入力される。

電子ボリュウム回路の主構成部は、固定抵抗 R 0 6 9 1 a と 1 6 回の單
位抵抗 r 6 9 1 b で構成されている。デコーダ回路 6 9 2 の出力は、1
6 渡のアナログスイッチ 6 4 1 のいずれかに接続されており、デコーダ
5 回路 6 9 2 の出力により、電子ボリュウムの抵抗値が定まるよう構成さ
れている。すなわち、例えば、デコーダ回路 6 9 2 の出力が 4 であれば、
電子ボリュウムの抵抗値は R 0 + 5 r となる。この電子ボリュウムの抵抗は、
第 1 段電流源 6 3 1 の負荷となつており、アナログ電源 A V d d にブル
アップされてゐる。したがつて、この電子ボリュウムの抵抗値が変化する
10 と、第 1 段電流源 6 3 1 の電流値が変化し、その結果、第 2 段電源 6
3 2 の電流値が変化し、その結果、第 3 段電流源 6 3 3 の電流値も変化
して、ドライバ IC の出力電流はコントロールされることになる。

なお、説明の都合上、電流値制御用データは 4 ビットとしたが、これ
は 4 ビットに固定されるものではなく、ビット数が多ければ多いほど、
15 電流値の可変数が多くなることは言うまでもない。また、多段式カレン
トミラーの構成を 3 段として説明したが、これも 3 段に固定されるもの
ではなく、任意の段数でもかまわないことは言うまでもない。

また、温度変化により、EL 水素の発光輝度が変化するという課題に
対して、電子ボリュウム回路の構成として、温度により抵抗値が変化する
20 外付け抵抗 6 9 1 a を具備させることが好ましい。温度により抵抗値が
変化する外付け抵抗とは、サーミスター、ポジスタなどが例示される。一
般に、素子に流れる電流に応じて電圧が変化する発光素子は、温度特性
を持つており、同じ電流値を流しても、その発光輝度は温度により変化
する。そこで、温度により抵抗値が変化する外付け抵抗 6 9 1 a を電子
25 ボリュウムに付けることにより、定電流出力の電流値を温度により変化さ
せることができる、温度が変化しても発光輝度を常に一定にすることがで
きる。

なお、前記多段式カレントミラー回路を、赤（R）用、緑（G）用、

W0 0307398

PCTJP0209668

W0 0307398

PCTJP0209668

145

骨(B)用の3系統に分離することが好ましい。一般に有機EL等の電流駆動型発光素子では、R、G、Bで発光特性が異なる。従って、R、G、Bで同じ輝度にするためには、発光素子に流す電流値をR、G、Bでそれぞれ調整する必要がある。また、有機EL表示パネル等の電流圧⁵特性発光素子では、R、G、Bで温度特性が異なる。従って、温度特性を補正するために形成または配置したサーミスタ等の外部補助電子の待位も、R、G、Bでそれぞれ調整する必要がある。

本発明では、前記多段式カレンティマー回路が、R用、G用、B用の3系統に分離されているので、発光特性や温度特性をR、G、Bでそれぞれ調整することができ、最適なワイヤトバランスを得ることが可能である。

先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き込む電流が小さい。そのため、ソース信号線18などに寄生容量があると、1水平走査期間(1H)に画素16に十分な電流を書き込むことが¹⁵できないという問題点があった。一般に、電流駆動型発光素子では、黒レベルの電流値は数nA程度と微弱であるため、その信号値で数:0PF程度あると思われる寄生容量(配線負荷容量)を駆動することは困難である。この課題を解決するためには、ソース信号線18に画像データを書き込む前に、プリチャージ電圧を印加し、ソース信号線18の電位²⁰レベルを画素のTFT11aの黒表示電流(基本的にはTFT11aはオフ状態)にすることが有效である。このプリチャージ電圧の形成(作成)には、画像データの上位ビットをテコードすることにより、黒レベルの定電圧出力を行うことが有効である。

第70図に、本発明のプリチャージ機能を有した電流駆動方式のソースドライバ(IC)14の一例を示す。第70区では、6ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。第70区において、プリチャージ制御信号は、画像データD0～D5の上位3ビットD3、D4、D5がすべて0である場合をNOR回路70

2でデコードし、水平同期信号HIDによるリセット機能を有するドットクロックCLKのカウンタ回路701の出力とのAND回路703をとり、一定期間黒レベル電圧V0を出力するよう構成されている。他の場合は、第6～8回などで説明した電流出力段704からの出力電流がソース信号線18に印加される(ソース信号線18からプログラム電流1Wを吸収する)。この構成により、画像データが黒レベルに近い0階調目～7階調目の場合、1水平周期のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が軽減され、書き込み不足を補うことが可能となる。なお、完全黒表示を0階調目とし、完全白表示¹⁰を6～3階調目とする(6～4階調表示の場合)。

なお、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調(低輝度、つまり、電流駆動方式では、書き込み電流が小さい(様小))を選択しプリチャージする(選択プリチャージ)。全階調データに対し、プリチャージする¹⁵と、今度は、白表示領域で、輝度の低下(目標輝度に到達しない)が発生する。また、画面上に筋筋が表示される。
好ましくは、階調データの階調0から1～8の領域の階調で、選択プリチャージを行なう(たとえば、6～4階調の時は、0～階調目までの画像データの時、プリチャージを行なつてから、画像データを書き込む)。さらに、好ましくは、階調データの階調0から1～16の領域の階調で、選択プリチャージを行う(たとえば、6～4階調の場合は、0～階調目から3階調目までの画像データのとき、プリチャージを行なつてから、画像データを書き込む)。
特に黒表示で、コントラストを高くするためには、階調0のみを検出²⁰してプリチャージする方式も有効である。これにより、極めて黒表示が良好になる。問題は、画面全体が階調1、2の場合に画面が黒ぼきして見えることである。したがって、階調データの階調0から1～8の領域の階調と、一定の範囲で選択プリチャージを行う。

WO 03021998

W003021998

PCT/JP02/0668

147

なお、プリチャージの電圧、階調範囲は、R、G、Bで異なることも有効である。Eに表示素子15は、R、G、Bで発光開始電圧、発光輝度が異なっているからである。たとえば、Rは、階調データの階調3からノ8の領域の階調で、選択プリチャージを行う（たとえば、6～9階調の場合では、0.1階調目から7階調目までの画像データのとき、プリチャージを行ってから、画像データを書き込む）。他の色（G、B）は、階調データの階調0から1ノ16の領域の階調で、選択プリチャージを行う（たとえば、6.4階調の場合では、0階調目から3階調目までの画像データのとき、プリチャージを行つてから、画像データを書き込む）などの旨、御を行う。また、プリチャージ電圧も、Rは7(V)であれば、他の色（G、B）は、7.5(V)の電圧をソース信号線18に書き込むようにする。最適なプリチャージ電圧は、EL表示パネルの製造ロットで異なることが多い。したがつて、プリチャージ電圧は、外部ポリウムなどで調整できるように構成しておこることが好ましい。この開整回路も電子ポリウム回路を用いたことにより容易に実現できる。

また、全くプリチャージしない第0モード、階調0のみをプリチャージする第1モード、階調0から階調3の範囲でプリチャージする第2モード、階調0から階調7の範囲でプリチャージする第3モード、全階調の範囲でプリチャージする第4モードなどを設定し、これらをコマンド切り替えるように構成することが好ましい。これらは、ソースドライバ（IC）14内においてロジック回路を構成（設計）することにより容易に実現できる。

第75図は選択プリチャージ回路部の具体化構成図である。PVはプリチャージ電圧の入力端子である。外部入力あるいは、電子ポリウム回路により、R、G、Bで個別のプリチャージ電圧が設定される。なお、R、G、Bで個別のプリチャージ電圧を設定するとしたがこれに限らずものではない。R、G、Bで共通であつてもよい。プリチャージ電圧は、画素16の駆動TFT11aのVtに相関するものであり、この画

148

素16はR、G、B画素で同一だからである。逆には、画素16の駆動TFT11aのW/L比などがR、G、Bで異なる（異なつた設計となつてゐる）場合は、プリチャージ電圧を異なつた設計に対応して調整することが好ましい。たとえば、Lが大きくなれば、TFT11aのダイオード特性は悪くなり、ソースードライン（SD）電圧は大きくなる。したがつて、プリチャージ電圧は、ソース電位（VcD）に対して低く設定する必要がある。

プリチャージ電圧PVはアナログスイッチ731に入力されている。このアナログスイッチのW（チャンネル幅）はオン抵抗を低減するため10μm以上にする必要がある。しかし、あまりWが大きいと、寄生容量も大きくなるので100μm以下にする。さらに詳しくは、チャンネル幅Wは15μm以上60μm以下にする。以上の事項は第75図のスイッチ641bのアナログスイッチ731、第73図のアナログスイッチ731にも適用される。

15. スイッチ641aはプリチャージイネーブル（PEN）信号、選択プリチャージ信号（PSL）、および第74図のロジック信号の上位3ビット（H5、H4、H3）で制御される。一例としたロジック信号の上位3ビット（H5、H4、H3）の意味は、上位3ビットが“0”的ときに選択プリチャージが実施されるようにしてある。つまり、下位3ビットが“1”的とき（階調0から階調7）を選択してプリチャージが実施されるよう構成している。

16. なお、この選択プリチャージは、階調0のみをプリチャージするとか、階調0から階調7の範囲でプリチャージするなどのように固定してもよいが、低階調領域（第79図の階調0から階調R1もしくは階調R1-1）を選択プリチャージするというように、低階調領域と連動させてよい。つまり、選択プリチャージは、低階調領域が階調0から階調R1の時はこの範囲で実施し、低階調領域が階調0から階調R2の時はこの範囲で実施するよう運転させて実施する。なお、この実施方式

WO 03377998

PCT/JP2003/00668

WO 03377998

PCT/JP2003/00668

149

の方が他の方式に比較して、ハード規模が小さくなる。

以上の信号の印加状態により、スイッチ 6 4 1 a がオンオフ制御され、スイッチ 6 4 1 a オンのとき、プリチャージ電圧 PV がソース信号線 1 8 に印加される。なお、プリチャージ電圧 PV を印加する時間は、別途形成したカウンタ（図示せず）により設定される。このカウンタはコマンドにより設定できるよう構成されている。また、プリチャージ電圧の印加時間は 1 水平走査期間（1H）の 1 / 100 以上 1 / 5 以下の時間に設定することが好ましい。たとえば、1H が 100 μsec とするば、1 μsec 以上 20 μsec とする。さらに詳しくは、2 μsec 10 c 以上 10 μsec とすること。

また、プリチャージ印加時間は、R、G、Y で異なせたりすることも良好な結果が得られる。たとえば、R のプリチャージ時間を G、B のプリチャージ時間よりも長くするなどである。これは、有機 EL などでは、RGB の各材料で発光開始時間などが異なるからである。また、次にソース信号線 1 8 に印加する画像データにより、プリチャージ電圧 PV 印加時間を可変することによっても良好な結果が得られる。たとえば、完全黒表示の階調 0 では印加時間を長くし、階調 4 ではそれよりも短くするなどである。また、1H 前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることができる。たとえば、1H 前にソース信号線 1 8 に画素を白表示にする電流を書き込み、次の 1H に、画素に黒表示にする電流を書き込み、次の 1H に、白表示に黒表示にする電流を書き込む場合は、プリチャージ時間は長くする。黒表示の電流は微小であるからである。逆に、1H 前にソース信号線 1 8 に画素を黒表示にする電流を書き込み、次の 1H に、白表示にする電流を書き込む場合は、プリチャージ時間は大きくするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいからである。

また、印加する画像データに応じてプリチャージ電圧を変化させることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込

150

み電流は大きいからである。したがって、低階調領域になるにしたがつて、プリチャージ電圧を高く（Vd_d に對して、なお、画素 TFT 1 1 a が P チャンネルのとき）し、高階調領域になるにしたがつて、プリチャージ電圧を低く（画素 TFT 1 1 a が P チャンネルのとき）する。

5 プログラム電流オーブン端子（PO 端子）が “0” のときは、スイッチ 6 4 1 b がオフ状態となり、I OUT 端子および 1 H 端子にソース信号線 1 8 には切り離される（I OUT 端子が、ソース信号線 1 8 と接続されている）。したがって、プログラム電流 Iw はソース信号線 1 8 には流れない。PO 端子はプログラム電流 Iw をソース信号線に印加している時は、“1” とし、スイッチ 6 4 1 b をオンして、プログラム電流 Iw をソース信号線 1 8 に流す。

PO 端子に “0” を印加し、スイッチ 6 4 1 b をオープンにするときは、表示領域のいずれの画素行も選択されていない時である。電源 6 3 4 は入力データ（D 0 ~ D 5）に基づいて電流をたえず、ソース信号 15 線 1 8 から引き込んでいる。この電流が選択された画素 1 6 の Vdd 端子から TFT 1 1 a を介してソース信号線 1 8 に流れ込む電流である。したがって、いずれの画素行も選択されていないときは、画素 1 6 からソース信号線 1 8 に電流が流れる経路がない。いずれの画素行も選択されていない時は、任意の画素行が選択され、次の画素行が選択される。までの間に発生する。なお、このようないずれの画素（画素行）も選択されず、ソース信号線 1 8 に流れ込む（流れ出す）経路がない状態を、全非選択期間と呼ぶ。

この状態で、I OUT 端子がソース信号線 1 8 に接続されていると、オンしている単位電流源 6 3 4（実際にはオンしているのは D 0 ~ D 5 25 端子のデータにより制御されるスイッチ 6 4 1 であるが）に電流が流れる。そのたび、ソース信号線 1 8 の寄生容量に充電された電荷が放電し、ソース信号線 1 8 の電位が、急激に低下する。

以上のように、ソース信号線 1 8 の電位が低下すると、本来ソース信

WO 030727998

PCT/JP02/09668

151

WO 030727998

PCT/JP02/09668

号線 1 8 に書き込み電流により、元の電位まで回復するのに時間を要するようになってしまふ。

この課題を解決するため、本発明は、全非選択期間に、PO 端子に “0” を印加し、第 7 5 図のスイッチ 6 4 1 b をオフとして、I O U T 6 端子とソース信号線 1 8 とを切り離す。これにより、ソース信号線 1 8 から電流源 6 3 4 に電流が流れ込むことはなくなるから、全非選択期間にソース信号線 1 8 の電位変化は発生しない、以上のように、全非選択期間に PO 端子を制御し、ソース信号線 1 8 から電流源を切り離すことにより、良好な電流書き込みを実施することができる。

10 また、画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定以下の輝度の領域）の面積（黒面積）とが混在し、白面積と黒面積との割合が一定の範囲のとき、プリチャージを停止するという機能を附加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縫合が発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。また、画像が動いたとき、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積とに該当する画素のデータをカウント（演算）することにより、容易に実現することができる。また、適正プリチャージは、R、G、B で異なることも有効である。E 上表示端子 1 5 は、R、G、B で発光開始電圧、発光輝度が異なっているからである。たとえば、R は、所定輝度の白面積：所定輝度の黒面積の比が 1 : 2 0 以上でプリチャージを停止または開始し、G と B は、所定輝度の白面積：所定輝度の黒面積の比が 1 : 1 6 以上でプリチャージを停止または開始するという構成である。なお、実験および検討結果によれば、有機ELパネルの場合、所定輝度の白面積：所定輝度の黒面積の比が 1 : 1 0 0 以上（つまり、黒面積が白面積の 1 0 0 倍以上）でプリチャージを停止することが好ましう。さらには、所定輝度の白面積：所定輝度の黒面積の比が 1 : 2 0 0 以上（つまり、黒面積が白面積の 2 0 0 倍以上）でプリチャ

ージを停止することが好ましい。

- 15 ブリチャージ電圧 P V は、画素 1 6 の駆動 TFT 1 1 a が P チャンネルの場合、V d d (第 1 図を参照) に近い電圧をソース電圧を、(I C) 1 4 から出力する必要がある。しかし、このブリチャージ電圧 ? V が V 5 d d に近いほど、ドライバ回路 (I C) 1 4 は高耐圧プロセスの半導体を使用する必要がある（高耐圧といつても、5 (V) ~ 1 0 (V) であるが、しかし、5 (V) 電圧を超えると、半導体プロセス価格は高くなる点が課題である。したがって、5 (V) 電圧のプロセスを採用するこ 20 とにより高精度、低価格のプロセスを使用することができる）。
- 10 画素 1 6 の駆動用 TFT 1 1 a のダイオード特性が良好で白表示のオン電流が確保された場合、5 (V) 以下であれば、ソースドライバ 4 も 5 (V) プロセスを使用できるから問題は発生しない。しかし、ダイオード特性が 5 (V) を越えると、問題となる。特に、プリチャージは、TFT 1 1 a のソース電圧 V d d に近いブリチャージ電圧 P V を印 25 加する必要があるので、I C 1 4 から出力することができなくなる。
- 第 9 2 図は、この課題を解決するハーネル構成である。第 9 2 図では、アレイ 7 1 側にスイッチ回路 6 4 1 を形成している。ソースドライバ 4 からは、スイッチ 6 4 1 のオンオフ信号を出力する。このオンオフ信号は、アレイ 7 1 に形成されたレベルシフト回路 6 9 3 で昇圧され、スイッチ 6 4 1 をオンオフ動作させる。なお、スイッチ 6 4 1 およびレベルシフト回路 6 9 3 が画素の TFT を形成するプロセスで同時に、もしくは順次に、形成する。もちろん、外付け回路 (I C) で別途形成し、アレイ 7 1 上に実装などしてもよい。
- 20 オンオフ信号は、先に説明（第 7 5 図など）したプリチャージ条件に基づいて、I C 1 4 の端子 7 6 1 o から出力される。したがって、ブリチャージ電圧の印加、駆動方法は第 9 2 図の実施例においても適用できることは言うまでもない。端子 7 6 1 o から出力される電圧（信号）は、5 (V) 以下と低い。この電圧（信号）がレベルシフト回路 6 9 3 でス

- 25 25 基づいて、I C 1 4 の端子 7 6 1 o から出力される。したがって、ブリチャージ電圧の印加、駆動方法は第 9 2 図の実施例においても適用できることは言うまでもない。端子 7 6 1 o から出力される電圧（信号）は、5 (V) 以下と低い。この電圧（信号）がレベルシフト回路 6 9 3 でス

イッチ 641 のオンオフロジックレベルまで振幅が大きくなれる。

以上のように構成することにより、ソースドライバ (IC) 14 はプログラム電流 I_w を駆動できる動作電圧範囲の電源電圧で十分になる。プリチャージ電圧 P_V は、動作電圧が高いアレイ基板 71 で誤題はなくなる。したがって、プリチャージも V_{dd} 電圧まで十分印加できるようになる。

第 89 図のスイッチ回路 641 もソースドライバ (IC) 14 内に形成 (配置) するとなると耐圧が問題となる。たとえば、画素 16 の V_{dd} 電圧が、IC 14 の電源電圧よりも高い場合、IC 14 の端子 761 に IC 14 を接続するような電圧が印加される危険があるからである。この課題を解決する実施例が第 91 図の構成である。アレイ基板 71 にスイッチ回路 641 を形成 (配置) している。スイッチ回路 641 の構成などは第 92 図で説明した構成、仕様などと同一または近似である。スイッチ 641 は IC 14 の出力よりも先で、かつソースス信号線 18 の途端に配置されている。スイッチ 641 がオンすることにより、画素 16 をプログラムする電流 I_w がソースドライバ (IC) 14 に流れ込む。スイッチ 641 がオフすることにより、ソースドライバ (IC) 14 はソース信号線 18 から切り離される。このスイッチ 641 を制御することにより、第 90 図に図示する駆動方式などを実施することができる。

第 92 図と同様に端子 761a から出力される電圧 (信号) は、5 (V) 以下と低い。この電圧 (信号) がレベルシフト回路 693 でスイッチ 641 のオンオフロジックレベルまで振幅が大きくなれる。以上のように構成することにより、ソースドライバ (IC) 14 はプログラム電流 I_w を駆動できる動作電圧範囲の電源電圧で十分になる。また、スイッチ 641 もアレイ 71 の電源電圧で動作するため、画素 16 から V_{dd} 電圧がソース信号線 18 に印加されてもスイッチ 641 が破壊することはなく、また、ソースドライバ (IC) 14 が破壊され

ることもない。

なお、第 91 図のソース信号線 18 の途中に配置 (形成) されたスイッチ 641 とプリチャージ電圧 P_V 印加用スイッチ 641 の双方をアレイ基板 71 に形成 (配置) してもよいことは言うまでもない (第 91 に図 + 第 92 図の構成)。

以前にも説明したが、第 1 図のように画素 16 の駆動用 TFT 11a、選択 TFT (11b, 11c) が P チャンネル TFT の場合は、突き抜け電圧が発生する。これは、ゲート信号線 7a の電位変動が、選択 TFT (11b, 11c) の G-S 容量 (寄生容量) を介して、コンデンサ 19 の端子に突き抜けけるためである。P チャンネルトランジスタ 11b がオフするときには V_{gh} 電圧となる。そのため、コンデンサ 19 の端子電圧が V_{dd} 側に少しシフトする。そのため、トランジスタ 11a のゲート (G) 端子電圧は上昇し、より黒表示となる。

しかし、反面、第 1 段階の完全黒表示は実現できるが、第 2 段階などは表示しにくいことになる。もしくは、第 1 段階から第 2 段階まで大きく階調飛びが発生したり、特定の階調範囲で黒つぶれが発生したりする。この課題を解決する構成が、第 71 図の構成である。出力電流値を満たす機能を有することを特徴としている。満上位回路 711 の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベルでの調整にも用いることができる。

基本的には、第 71 図は、第 64 図の出力段に満上位回路 (第 71 図の点線で囲まれた部分) を追加したものである。第 71 図は、電流値満上位制御信号として 3 ビット (K0, K1, K2) を仮定したものである。この 3 ビットの制御信号により、系電流源の電流値の 0 ~ 7 倍の電流値を出力電流に加算することが可能である。

以上が本発明のソースドライバ (IC) 14 の基本的な概要である。以後、さらに詳細に本発明のソースドライバ (IC) 14 について説明

WO 03/027598

PCT/JP2002/09668

WO 03/027598

165

をする。

E L 素子 1 5 に流す電流 I (A) と発光輝度 B (n t) とは線形の関係がある。つまり、E L 素子 1 5 に流す電流：(A) と発光輝度 B (n t) とは比例する。電流駆動方式では、1 ステップ（階調刻み）は、電流 5 前（電流値 6 3 4 (1 単位)) である。

人間の輝度に対する視覚は 2 乗特性をもつている。つまり、2 乗の指数で変化するとき、明るさは直線的に変化しているようになる。しかし、第 8 3 図の關係であると、低輝度領域でも高輝度領域でも、E L 素子 1 5 に流す電流 I (A) と発光輝度 B (n t) とは比例する。したがって、1 ステップ刻みずつ変化させると、低階調部（黒領域）では、1 ステップに対する輝度変化が大きい（黒飛びが発生する）。高階調部（白領域）は、ほぼ 2 乗カーブの直線領域と一致するので、1 ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式（1 ステップが電流刻みの場合）において（電流駆動方式のソースドライバ (1 C) 1 4 において）、黒表示領域が課題となる。

この課題に対して、本発明は、第 7 9 図に図示するように、低階調領域（階調 0（完全黒表示）から階調 (R 1) ）の電流出力の傾きを小さくし、高階調領域（階調 (R 1) から最大階調 (R) の電流出力の傾きを大きくする。つまり、低階調領域では、1 階調あたりに（1 ステップ）増加する電流量を小さくする。高階調領域では、1 階調あたりに（1 ステップ）増加する電流量を大きくする。第 7 9 図の 2 つの階調領域で 1 ステップあたりに変化する電流量を異ならせることにより、階調特性が 2 乗カーブに近くなり、低階調領域での黒飛びが発生はない。以上の第 7 9 図などに図示する、階調 - 電流特性カーブをガンマカーブと呼ぶ。なお、以上の実施例では、低階調領域の 2 段階の電流傾きとしたが、これに固定するものではない。3 段階以上であっても良いことは言うまでもない。しかし、2 段階の場合は回路構成が簡単に

なので好ましい。

本発明の技術的思想は、電流駆動方式のソースドライバ (1 C) などにおいて（基本的に）電圧出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものではなく、5 驚動マトリックス型も含まれる。）、階調 1 ステップあたりの電流増加量を複数存在させることである。

E しながらの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が変化する、したがって、本発明のソースドライバ (1 C) 1 4 では、1 つの電源源 (1 単位) 6 3 4 に流れるととなる基準電流を 10 調整することにより、容易に表示パネルの輝度を調整することができる。E L 表示パネルでは、R、G、B で発光効率が異なり、また、NTSC 基準に対する色純度がされている。したがって、ホワイトバランスを最適にするためには RGB の比率を適正に調整する必要がある。調整は、RGB のそれぞれの基準電流を調整することにより行う。たとえば、R 15 の基準電流を 2 ル A にし、G の基準電流を 1. 5 μ A にし、B の基準電流を 3. 5 μ A にする。なお、本発明のドライバでは、第 6 7 図における第 1 段の電流源 6 3 1 のカラントミラー倍率を小さくし（たとえば、基準電流が 1 μ A であれば、トランジスタ 6 3 2 に流れる電流を 1 / 1 0 0 の 1 0 μ A にするなど）、外部から調整する基準電流の調整精度をラフにできるようにし、かつ、チップ内の微小電流の精度を効率よく調整できるように構成している。

第 7 9 図のガンマカーブを実現できるように、本発明のソースドライバは、低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。また、RGB で独立に調整できるように、RGB ごとに低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。もちろん、1 色を固定し、他の色の基準電流を調整することによりホワイトバランスを調整する時は、2 色（たとえば、G を固定している場合は、R、B）を調整する低階調領域の基準電流の

SETI INSTITUTE

四〇〇二六九

PCT/JPO2020669

一

調整回路および高階調諧域の基準電流の調整回路を具備せねばよい。電流駆動方式は、第83図にも図示したように、ELに流す電流1と電圧の関係は直線の関係がある。したがって、RGBの混合によるホワイトバランスの調整は、所定の輝度の一点でRGBの基準電流を調整するだけでよい。つまり、所定の輝度の一点でRGBの基準電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれ正しくなる。

しかし、第79図のガンマカーブの場合、少し注意が必要である。
まず、RGBのホワイトバランスを取るために、ガンマカーブの折れ
曲がり位置(階調R1)をRGBで同一にする必要がある(逆に言えば、
電流駆動方式では、ガンマカーブの相対的な関係をRGBで同一にでき
るということになる)。また、低階調領域の傾きと高階調領域の傾きと
の比率をRGBで、一定にする必要がある(つまり、電流駆動方式では、
ガンマカーブの相対的な関係をRGBで同一にできると云うことにな
る)。たとえば、低階調領域で1階調あたり10mA増加(低階調領域
でのガンマカーブの傾き)し、高階調領域で1階調あたり50mA増加
(高階調領域でのガンマカーブの傾き)する(なお、高階調領域で1階
調あたり電流増加量／低階調領域で1階調あたり電流増加量をガンマ

20 $n_A = 5$ である)。すると、RGBでガンマ電流比率を同一にする。つまり、RGBでは、ガンマ電流比率を同一にした状態でEL素子 1 うに
25 流れる電流を調整するように構成する。
第 80 図はそのガンマカーブの例である。第 80 図(a)では、低階調部と高階調部とも 1 階調あたりの電流増加が大きい。第 80 図(b)では、低階調部と高階調部とも 1 階調あたりの電流増加は第 80 図(c)に比較して小さい。ただし、第 80 図(a)、第 80 図(b)ともガンマ電流比率は同一にしている。このようにガンマ電流比率を、RGB で同一に維持したまま調整することは、各色に、低階調部に印加す。

る基準電流を発生する定電流回路と、高階調部に印加する基準電流を発生する定電流回路とを作製し、これらを相対的に流す電流を調整するべリワムを作製（配置）すればよいからである。

第7図はガンマ電流比率を維持したまま、出力電流を可変する回路構成である。電流制御回路7-2で低電流領域の基準電流源771Lと高電流領域の基準電流源771Hとのガンマ電流比率を維持したまま、電流源633L、633Hに流れる電流を変化させる。

また、第 18 図に図示するように、IC チップ(回路)14 内に形成した温度検出回路 781 で相対的な表示パネルの温度を検出することが好ましい。有機EL素子は、RGB を構成する材料により温度特性が異なるからである。この温度の検出は、バイポーラトランジスタの接合部の伏純が温度により変化し、出力電流が温度により変化することを利用する。この検出した温度を各色に配分(形成)した温度制御回路 782 にフィードバックし、電流制御回路 772 により温度補償を行う。

なお、ガンマ比率は、発明者等の検討によると、3 以上 1.0 以下の関係にすることが適切である。さらに好ましくは、4 以上 8 以下の関係にすることが適切である。特にガンマ電流比率は 5 以上 7 以下の関係を満足させることが好ましい。これを第 1 の関係と呼ぶ。

また、低階調部と高階調部との変化ポイント（第79回の階調R11）
は、最大階調数Kの1／3以上1／4以下に設定するのが適切である
（たとえば、最大階調数Kが6ビットの64階調とすれば、64／32
= 2階調番目以上、64／4 = 16階調番目以下にする）。さらに好み
しくは、低階調部と高階調部との変化ポイント（第79回の階調R11）
は、最大階調数Kの1／1以上1／4以下に設定するのが適切である
（たとえば、最大階調数Kが6ビットの64階調とすれば、64／16
= 4階調番目以上、64／4 = 16階調番目以下にする）。さらに好み
しくは、最大階調数Kの1／10以上1／5以下に設定するのが適切で
ある（たとえば、計算により小数点以下が犠牲する場合は開始アフタ
ーがある）。

140 03:02:7998

WO 03027998

PCT/JP2002/09668

WO 03027998

169

- えば、最大階数 K が 6 ビットの 64 階調とすれば、 $64 \times 10 = 6$ 階調番目以上、 $64 / 5 = 1$ 階調番目以下にする)。以上の関係を第 2 の関係と呼ぶ。なお、以上の説明は、2 つの電流領域のガンマ電流比率の関係である。しかし、以上の第 2 の関係は、3 つ以上の電流領域のがンマ電流比率がある(つまり、折れ曲がり点が 2 点以上ある)場合にも適用される。つまり、3 つ以上の傾きに対し、任意の 2 つの傾きに対する関係に適用すればよい。
- 以上の第 1 の関係および第 2 の関係の両方を同時に満足させることにより、黒飛びがなく良好な画像表示を実現できる。
- 10 第 82 図は、本発明の電流駆動方式のソースドライバ (IC) 14 を 1 つの表示パネルに複数組用いた実施例である。本発明のソースドライバ 14 は複数のドライバ IC 14 を用いることを想定した。スレーブ/マスター (S/M) 端子を基準端子を H レベルにするによりマスターチップとして動作し、基準電流流出力端子 (図示せず) から、基準電流を出力する。この電流がスレーブの IC 14 (14a, 14c) の第 73 図、第 74 図の INL, JNH 端子に流れ電流となる。S/M 端子をレベルにより IC 14 はスレーブチップとして動作し、基準電流入力端子 (図示せず) から、マスター/チップの基準電流を受取る。この電流が第 73 図、第 74 図の INL, JNH 端子に流れ電流となる。
- 20 基準電流入力端子、基準電流流出力端子間に受け渡される基準電流は、各色の低階調領域と高階調領域の 2 系統である。したがって、RGB の 3 色では、 3×2 で 6 系統となる。なお、上記の実施例では、各色 2 系統としたがこれに限定するものではなく、各色 3 系統以上であっても良い。
- 25 本発明の電流駆動方式では、第 81 図に図示するように、折れ曲がり点(階調 R1 など)を変更できるように構成している。第 81 図 (a) では、階調 R1 で低階調部と高階調部とを変化させ、第 81 図 (b) で

は、階調 R2 で低階調部と高階調部とを変化させている、このように、折れ曲がり位置を複数箇所で変化できるようにしている。

具体的には、本発明では 64 階調表示を実現できる。折れ曲がり点 (R1) は、なし、2 階調目、4 階調目、8 階調目、16 階調目としている。なお、完全黒表示を階調 0 としているため、折れ曲がり点は 2, 4, 8, 16 となるのであって、完全に黒表示の階調を階調 1 とするのであれば、折れ曲がり点は、3, 5, 9, 17, 33 となる。以上のように、折れ曲がり位置を 2 の倍数の箇所(もしくは、2 の倍数 + 1 の箇所: 完全黒表示を階調 1 とした場合)でできるように構成することにより、回路構成が容易になるという効果が発生する。

第 73 図は低電流領域の電流源回路部の構成図である。また、第 74 図は高電流領域の電源部および基上げ電流回路部の構成図である。第 73 図に図示するように低電流領域の電源部は基準電流 INL が印加され、基本的にはこの電流が単一電流となり、入力データ L0 ~ L4 により、電流源 634 が必要個数動作し、その総和として低電流部のプログラム電流 I_{WH} が流れれる。

また、第 74 図に図示するように高電流源回路部は基準電流 INH が印加され、基本的にこの電流が単位電流となり、入力データ L0 ~ L5 により、電流源 634 が必要個数動作し、その総和として低電流部の電流 I_{WH} が流れれる。

第 74 図に示すように高電流源回路部も同様であって、第 74 図に図示するように基準電流 INH が印加され、基本的にはこの電流が単位電流となり、入力データ AK0 ~ AK2 により、電流源 634 が必要個数動作し、その総和として基上げ電流 I_{WH} が流れれる。

ソース信号線 L8 にかかるプログラム電流 I_{WH} は $I_{WH} = I_{WH} + I_{WL} + I_{WK}$ である。なお、 I_{WH} と I_{WL} の比率、つまりガンマ電流比は、先にも説明した第 1 の関係を満足させるようにする。なお、第 73 図、第 74 図に図示するようにオンオフスイッチ 641

160

PCT/JP2002/09668

W0 03027998

WO 03071998

PCTJP2009668

WO 03071998

PCTJP2009668

16!

162

は、インバータ732とPチャンネルトランジスタとNチャンネルトランジスタからなるアナログスイッチ731から構成される。このようにスイッチ641を、インバータ732とPチャンネルトランジスタとNチャンネルトランジスタからなるアナログスイッチ731から構成することにより、オン抵抗を低下させることができ、電源源634とソース信号線18との間の電圧降下を極めて小さくすることができます。

第73回路の低電流回路部と第74回路の高電流回路部の動作について説明をする。本発明のソースドライバ(「C」)14は、低電流回路部H0～H5の6ビットで構成され、高路の外部から入力されるデータはD0～D5の6ビット(各色64階調)である、この6ビットデータをL0～L4の5ビット、高電流回路部H0～H5の6ビットに変換してソース信号線に画像データに対応するプログラム電流!wを印加する、つまり、入力6ビットデータを、 $5+6=11$ ビットデータに変換をしている。したがって、高精度のガンマカーブを形成できる。

以上のように、入力6ビットデータを、 $5+6=11$ ビットデータに変換をしている。本発明では、高電流領域の回路のビット数(H)は、入力データ(D)のビット数と同一にし、低電流領域の回路のビット数(L)は、入力データ(D)のビット数-1としている。なお、低電流領域の回路のビット数(L)は、入力データ(D)のビット数-1としてもよい。このように構成することにより、低電流領域のガンマカーブと、高電流領域のガンマカーブとが、EL表示パネルの画像表示に最適になる。

以下、低電流領域の回路制御データ(L0～L4)と高電流領域の回路制御データ(H0～H4)との制御方法について、第84回路から第86回路を参照しながら説明をする。

本発明は第73回路のL4端子に接続された、電源源634aの動作に特徴がある。この634aは1単位の電源となる1つのトランジスタ

で構成されている。このトランジスタをオンオフさせることにより、プログラム電流!wの制御(オンオフ制御)が容易になる。

第84回路は、低電流領域と高電流領域とを切换り切り替える場合の低電流信号線(L)および高電流信号線(H)の印加信号である。5 なお、第84回路から第86回路において、階調1～8まで図示しているが、実際は63階調まである。したがって、各面上において階調1～8以上は省略している。また、表の“1”の時にスイッチ641がオンし、該当電源源634とソース信号線18とが接続され、表の“0”の時にスイッチ641がオフするとしている。

10 第84回路において、完全黒表示の階調0の場合は、(L0～L4)=(0,0,0,0,0)であり、(H0～H5)=(0,0,0,0,0)である。したがって、すべてのスイッチ641はオフ状態であり、ソース信号線16にはプログラム電流!w=0である。

階調1では、(L0～L4)=(1,0,0,0,0)であり、(H0～H5)=(0,0,0,0,0)である。したがって、低電流領域の1つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

15 階調2では、(L0～L4)=(0,1,0,0,0)であり、(H0～H5)=(0,0,0,0,0)である。したがって、低電流領域の2つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

階調3では、(L0～L4)=(1,1,0,0,0)であり、(H0～H5)=(0,0,0,0,0)である。したがって、低電流領域の2つのスイッチ641La, 641Lbがオンし、3つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

階調4では、(L0～L4)=(1,1,0,0,1)であり、(H0～H5)=(0,0,0,0,0)である。したがって、低電流領域

の 3 つのスイッチ 6 41 L a, 6 41 L b, 6 41 L c がオンし、4つ

の単位電流源 6 3 4 がソース信号線 1 8 には接続されている。高電流領域

の単位電流源はソース信号線 1 8 には接続されていない。

階調 5 以上では、低電流領域 (L 0 ~ L 4) = (1, 1, 0, 0, 1)

は変化がない。しかし、高電流領域において、階調 5 では (H 0 ~ H 5) = (1, 0, 0, 0, 0) であり、スイッチ 6 41 H c がオンし、高電

流領域の 1 つの単位電流源 6 4 1 がソース信号線 1 8 と接続されてい

る。また、階調 6 では (H 0 ~ H 5) = (0, 1, 0, 0, 0) であり、

スイッチ 6 41 H b がオンし、高電流領域の 2 つの単位電流源 6 4 1 が

ソース信号線 1 8 と接続される。同様に、階調 7 では (H 0 ~ H 5) =

(1, 1, 0, 0, 0) であり、2 つのスイッチ 6 41 H a, スイッチ

6 41 H b がオンし、高電流領域の 3 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。さらに、階調 8 では (H 0 ~ H 5) = (0, 0,

1, 0, 0) であり、1 つのスイッチ 6 41 H c がオンし、高電流領域

の 4 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。以後、第

8 4 図のように屢次スイッチ 6 4 1 がオンオフし、プログラム電流 I w

がソース信号線 1 8 に印加される。

以上の動作で特徴的なのは、折れ曲がり点 (低電流領域と高電流領域

の切り替わり点、正確には、プログラム電流 I w と) にとっては、高電流領域

現は正しくない。また、端上り電流 I w K も計算される、つまり、電階

調部の階調では、低階調部の電流に計算されて、高階調部のステップ (階

調) に応じた電流がプログラム電流 I w となっているのである。1ステ

ップの階調 (電流が変化する点あるいはボイントもしくは位置というべ

きであろう) を境として、高電流領域の割御ビット (L) が変化しな

い点である。また、この時、第 7 3 図の L 4 端子に "1" となり、スイ

ッチ 6 4 1 e がオンし、トランジスタ 6 3 4 a に電流が流れている点で

ある。

したがって、第 8 4 図の階調 4 では低階調部の単位トランジスタ (電流源) 6 3 4 が 4 個動作している。そして、階調 5 では、低階調部の単位トランジスタ (電流源) 6 3 4 が 4 個動作し、かつ高階調部のミランジスタ (電流源) 6 3 4 が 1 個動作している。以後同様に、階調 6 では、5 低階調部の単位トランジスタ (電流源) 6 3 4 が 4 個動作し、かつ高階調部のトランジスタ (電流源) 6 3 4 が 2 個動作する。したがって、折れ曲がりポイントである階調 5 以上では、折れ曲がりポイント以下の低階調領域の電流源 6 3 4 が階調分 (この場合、4 図) オンし、これに加えて、順次、高階調部の電流源 6 3 4 が階調に応じた個数をオシして

いく。

したがって、第 7 3 図における L 4 端子のトランジスタ 6 3 4 a の 1 個は有用に作用していることがわかる。このトランジスタ 6 3 4 a がなふと、階調 3 の次に、高階調部のトランジスタ 6 3 4 a が 1 回オンする動作になる。そのため、切り替わりポイントが 4, 8, 16 というように 15 2 の乗数にならない。2 の乗数は 1 信号のみが "1" となつた状態である。したがって、2 の重み付けの信号ラインが "1" となつたという条件判定がやりやすい。そのため、条件判定のハード規模が小さくすることができる。つまり、IC チップの論理回路が簡略化し、結果としてチップ面積の小さい IC を設計できるのである (低コスト化が可能である)。

第 8 5 図は、低電流領域と高電流領域とを階調 8 で切り替える場合の低電流側信号線 (L) および高電流側信号線 (H) の印加信号線の説明図である。

第 8 5 図において、完全黒表示の階調 0 の場合は、第 8 4 図と同様であり、(L 0 ~ L 4) = (0, 0, 0, 0, 0) であり、(H 0 ~ H 5) = (0, 0, 0, 0, 0) である。したがって、すべてのスイッチ 6 4 1 はオフ状態であり、ソース信号線 1 8 にはプログラム電流 I w = 0 である。

同様に階調1では、 $(L_0 \sim L_4) = (i, 0, 0, 0, 0)$ であり、 $(H_0 \sim H_5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の1つの単位電流源6 3 4がソース信号線1 8に接続されている。

高電流領域の単位電流源はソース信号線1 8には接続されていない。

5 階調2では、 $(L_0 \sim L_4) = (0, 1, c, 0, 0)$ であり、 $(H_0 \sim H_5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の2つの単位電流源6 3 4がソース信号線1 8に接続されている。高電流領域の単位電流源はソース信号線1 8には接続されていない。

階調3では、 $(L_0 \sim L_4) = (1, 1, 0, 0, 0)$ であり、 $(H_0 \sim H_5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の2つのスイッチ6 4; L a, 6 4 1 L bがオンし、3つの単位電流源6 3 4がソース信号線1 8に接続されている。高電流領域の単位電流源はソース信号線1 8には接続されていない。

以下も同様に、階調4では、 $(L_0 \sim L_4) = (0, 0, 1, 0, 0)$

15 であり、 $(H_0 \sim H_5) = (0, 0, 0, 0, 0)$ である。また、階調5では、 $(L_0 \sim L_4) = (1, 0, 1, 0, 0)$ であり、 $(H_0 \sim H_5) = (0, 0, 0, 0, 0)$ である。階調6では、 $(L_0 \sim L_4) = (0, 1, 1, 0, 0)$ であり、 $(H_0 \sim H_5) = (0, 0, 0, 0, 0)$ である。また、階調7では、 $(L_0 \sim L_4) = (1, i, 1, c, 0)$ であり、 $(H_0 \sim H_5) = (0, 0, 0, 0, 0)$ である。

20 階調8が切り替わりボイント(折れ曲がり位置)である。階調8では、 $(L_0 \sim L_4) = (i, 1, 1, 0, 1)$ であり、 $(H_0 \sim H_5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の4つのスイッチ6 4 1 L a, 6 4 1 L b, 6 4 1 L c, 6 4 1 L eがオンし、8つの単位電流源6 3 4がソース信号線1 8に接続されている。高電流領域の単位電流源はソース信号線1 8には接続されていない。

階調8以上では、低電流領域 $(L_0 \sim L_4) = (1, 1, 1, 0, 1)$ は変化がない。しかし、高電流領域において、階調9では $(H_0 \sim H_5)$

$= (1, 0, 0, 0, 0)$ であり、スイッチ6 4 1 H aがオンし、高電流領域の1つの単位電流源6 4 1がソース信号線1 8と接続されている。

以下、同様に、階調ステップに応じて、高電流領域のトランジスタ6 3 4の個数が1個ずつ増加する。つまり、階調1 0では $(H_0 \sim H_5) = (0, 1, 0, 0, 0)$ であり、スイッチ6 4 1 H bがオンし、高電流領域の2つの単位電流源6 4 1がソース信号線1 8と接続される。同様に、階調1 1では $(H_0 \sim H_5) = (1, 1, 0, 0, 0)$ であり、2つのスイッチ6 4 1 H aスイッチ6 4 1 H bがオンし、高電流領域の3つの単位電流源6 4 1がソース信号線1 8と接続される。さらに、階調1 2では $(H_0 \sim H_5) = (0, 0, 1, 0, 0)$ であり、1つのスイッチ6 4 1 H cがオンし、高電流領域の4つの単位電流源6 4 1がソース信号線1 8と接続される。以後、第8 4図のように順次スイッチ6 4 1がオンオフし、プログラム電流流I wがソース信号線1 8に印加される。

15 第8 6図は、低電流領域と高電流領域とを階調1 6で切り替える場合の低電流信号線(L)および高電流側信号線(H)の印加信号の説明図である。この場合も第8 4図、第8 5図と基本的な動作は同じである。つまり、第8 6図において、完全黒表示の階調0の場合は、第8 5図と同様であり、 $(L_0 \sim L_4) = (0, 0, 0, 0, 0)$ であり、 $(H_0 \sim H_5) = (0, 0, 0, 0, 0)$ である。したがって、すべてのスイッチ6 4 1はオフ状態であり、ソース信号線1 8にはプログラム電流I w = 0である。同様に階調1から階調1 6までは、高電流領域(H 0 ~ H 5) = (0, 0, 0, 0, 0)である。したがって、低電流領域の1つの単位電流源6 3 4がソース信号線1 8に接続されている。高電流領域の単位電流源はソース信号線1 8には接続されていない。つまり、低階調領域の $(L_0 \sim L_4)$ のみが変化する。

つまり、階調1では、 $(L_0 \sim L_4) = (1, 0, 0, 0, 0)$ であ

り、階調 2 では、 $(L_0 \sim L_4) = (0, 1, 0, 0, 0)$ であり、階調 3 では、 $(L_0 \sim L_4) = (1, 1, 0, 0, 0)$ であり、階調 2 では、 $(L_0 \sim L_4) = (0, 0, 1, 0, 0)$ である。以下階調 1 6まで順次カウントされる。つまり、階調 1 6 では、 $(L_0 \sim L_4) = (1, 1, 1, 0)$ ；であり、階調 1 6 では、 $(L_0 \sim L_4) = (1, 1, 1, 1)$ である。階調 1 6 では、階調を示す D 0 ~ D 5 の 5 ビット目 (D 4) のみが 1 本オンするため、データ D 0 ~ D 5 の表現している内容が : 6 であるということが、1 データ信号線 (D 4) の判定で決定できる。したがって、論理回路のハード規格を小さくすることができます。

10 階調 1 6 が切り替わりポイント (折れ曲がり位置) である (もしくは階調 1 7 が切り替わりポイントといふべきであるかも知れないが)。階調 1 6 では、 $(L_0 \sim L_4) = (1, 1, 1, 1, 1)$ であり、 $(H_0 \sim H_5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の 4 つのスイッチ 6 4 1 L a, 6 4 1 L b, 6 4 1 L c, 6 4 1 L d, 6 4 1 L e がオンし、1 6 個の単位電流源 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

階調 1 6 以上では、低電流領域 ($L_0 \sim L_4$) = $(1, 1, 1, 0, 1)$ は変化がない。しかし、高電流領域において、階調 1 7 では、 $(H_0 \sim H_5) = (1, 0, 0, 0, 0)$ であり、スイッチ 6 4 1 H a がオンし、高電流領域の 1 つの単位電流源 6 4 1 がソース信号線 1 8 と接続されている。以下、同様に、階調ステップに応じて、高電流領域のトランジスタ 6 3 4 の個数が 1 個ずつ増加する。つまり、階調 1 8 では、 $(H_0 \sim H_5) = (0, 1, 0, 0, 0)$ であり、スイッチ 6 4 1 H b がオンし、高電流領域の 2 つの単位電流源 6 4 1 H a, 6 4 1 H b がオンし、高電流領域の 3 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。さ

らに、階調 2 0 では、 $(H_0 \sim H_5) = (0, 0, 1, 0, 0)$ であり、1 つのスイッチ 6 4 1 H c がオンし、高電流領域の 4 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。

以上のように、切り替わりポイント (折れ曲がり位置) で、2 の乗数 5 の個数の電流源 (1 単位) 6 3 4 がオンもしくはソース信号線 1 8 を接続 (逆に、オフとなる構成を考えられる) するよう構成するロジック処理などがきわめて容易になる。たとえば、第 8 4 図に図示するように折れ曲がり位置が階調 4 (4 は 2 の乗数である) であれば、4 倍の電流源 (1 単位) 6 3 4 が動作するなどのように構成する。そして、それ以上上の階調では、高電流領域の電流源 (1 単位) 6 3 4 が計算されるよう構成する。また、第 8 5 図に図示するように折れ曲がり位置が階調 8 (8 は 2 の乗数である) であれば、8 倍の電流源 (1 単位) 6 3 4 が動作するなどのように構成する。そして、それ以上の階調では、高電流領域の電流源 (1 単位) 6 3 4 が計算されるよう構成する。本発明の構成を採用すれば、6 4 階調に限らず (1 6 階調 : 4 0 9 6 色、2 5 6 階調 : 1 6 7 0 万色など)、あらゆる階調表現で、ハードウェアが小さな力

ンマトリクル回路を構成できる。

なお、第 8 4 図、第 8 5 図、第 8 6 図で説明した実施例では、切り替わりポイントの階調が 2 の乗数となるとしたが、これは、完全黒表示の 20 階調を 0 とした場合である。階調 1 を完全黒表示とする場合は、+ 1 する必要がある。しかし、これらは便宜上の事項である。本発明で重要なのは、複数の電流領域 (低電流領域、高電流領域など) を有し、その切り替わりポイントを信号入力が少なく判定 (処理) できるように構成することである。その一例として、2 の乗数であれば、2 信号線を検出するだけでよいからハード規模が極めて小さくなるという技術的思想である。また、その処理を容易にするため、電流源 6 3 4 を付加する。したがって、負端子であれば、2, 4, 8 . . . ではなく、階調 1, 3, 7, 15 . . . で切り替わりポイントとすればよい。また、階調 0

WO 03017998

WO 03027998

PCTJP0309668

169

を完全黒表示したが、これに限定するものではない。たとえば、64階継表示であれば、階継63を完全黒表示状態とし、階継0を最大の白表示としてもよい。この場合は、逆方向に考慮して、切り替わりボイントを処理すればよい、したがって、2の乗数から理论上、異なる構成となる場合がある。

また、切り替わりボイント（折れ曲がり位置）が1つのガンマカーブに限定されるものではない。折れ曲がり位置が複数存在しても本発明の回路を構成することができる。たとえば、折れ曲がり位置を階継0および階継16に設定することができる。また、階継4、階継16、「おび」階継32というように3ポイント以上に設定することもできる。

また、以上の実施例は、階継を2の乗数に設定するとして説明をしたが、本発明はこれに限定するものではない。たとえば、2の乗数の2と $8:2+8=10$ 階継目、つまり、判定に要する信号線は2本）とで折れ曲がり点を設定してもよい。それ以上の、2の乗数の2と8と16（2 $+8+16=26$ 階継目、つまり、判定に要する信号線は3本）とで折れ曲がり点を設定してもよい。この場合は、多少判定あるいは処理に要するハード規模が大きくなるが、回路構成上、十分に対応することができます。また、以上の説明した事項は本発明の技術的範囲に含まれることは言うまでもない。

第37図に図示するように、本発明のソースドライバ（IC）14は3つの部分の電流出力回路704から構成されている。高階継領域で動作する高電流領域電流输出力回路704aであり、低電流領域および高階継領域で動作する低電流領域電流输出力回路704bであり、端上げ電流を出力する電流上げ電流输出力回路704cである。

高電流領域電流输出力回路704aと電流上げ電流输出力回路704cは高電流を出力する基準電流源771aを基準電流として動作し、低電流領域電流输出力回路704bは低電流を出力する基準電流源771bを基準電流として動作する。

PCTJP0309668

170

なお、先にも説明したが、電流输出力回路704は、高電流領域電流输出力回路704a、低電流領域電流输出力回路704c、電流上げ電流输出力回路704bの3つに固定するものではなく、高電流領域電流输出力回路704aおよび低電流領域電流输出力回路704bの2つでもよく、また、3つ以上の電流输出力回路704から構成してもよい。また、基準電流源771はそれぞれの電流領域電流输出力回路704に対応して配置または形成してもよく、また、すべての電流領域電流输出力回路704に共通にしてもよい。

以上の電流输出力回路704が階讀データに対応して、内部のトランジスタ634が動作し、ソース信号線18から電流を吸収する。前記とトランジスタ634は、1水平走査期間（1H）信号に同期して動作する。つまり、1Hの期間の間、該当する階讀データに基づく電流を入力する（トランジスタ634がNチャンネルの場合）。

一方、ゲートドライバ12も1H信号に同期して、基本的には1本のゲート信号線17aを順次選択する。つまり、1H信号に同期して、第1H期間にはゲート信号線17a（1）を選択し、第2H期間にはゲート信号線17a（2）を選択し、第3H期間にはゲート信号線17a（3）を選択し、第4H期間にはゲート信号線17a（4）を選択する。しかし、第1のゲート信号線17aが選択されたから、次の第2のゲート信号線17aが選択される期間には、どのゲート信号線17aも選択されない期間（非選択期間、第88図のt1を参照）を設ける。非選択期間は、ゲート信号線17aの立ち上がり期間、立ち下り期間が必要であり、TFT11dのオンオフ制御期間を確保するために設ける。いずれかのゲート信号線17aにオン電圧が印加され、画素16のTFT11b、TFT11cがオンしていれば、Vdd電源（アノード電圧）から駆動用TFT11aを通して、ソース信号線18にプログラム電流Iwが流れれる。このプログラム電流Iwがトランジスタ634に流れる（第88図のt2期間）。なお、ソース信号線18には寄生容量C

5
10
15
20
25

171

PCT/JPO200209668

が発生している（データ信号線とソース信号線とのクロスポイントの容量などにより寄生容量が発生する）。

しかし、いざれのゲート信号線 17 とも遮断されていない期間（非選択期間（第 8 図の T1 期間））では TFT 1 a を流れる電流経路がない。トランジスタ 6 3 からは電流を流すから、ソース信号線 18 の寄生容量から電荷を吸収する。そのため、ソース信号線 18 の電位が低下する（第 8 図の A の部分）。ソース信号線 18 の電位が低下すると、次の画像データに応応する電圧を書き込むのに時間がかかる。

この課題を解決するため、第 8 9 図に図示するように、ソース端子 7 6 1 との出力段にスイッチ 6 4 1 b を形成する。また、感上げ電流出力回路 7 0 4 c の出力段にスイッチ 6 4 1 c を形成または配置する。
非選択期間中に、制御端子 S 1 に制御信号を印加し、スイッチ 6 4 1 a をオフ状態にする。選択期間（2 ではスイッチ 6 4 1 a をオン状態（導通状態）にする。オン状態の時にはプログラム電流 I w = I wH + I wL + I wK が流れる。スイッチ 6 4 1 a をオフにすると I w 電流は流れない。したがって、第 9 0 図に図示するように第 8 8 図の A のような電位に低下しない（変化はない）。なお、スイッチ 6 4 1 のアナログスイッチ 7 3 1 のチャンネル幅 W は、 $1.0 \mu m$ 以上 $1.0 \mu m$ 以下にする。このアナログスイッチの W（チャンネル幅）はオン抵抗を低減するためには、 $1.0 \mu m$ 以上にする必要がある。しかし、あまり W が大きいと、寄生容量も大きくなるので $1.0 \mu m$ 以下にすることが好ましい。さらに好ましくは、チャンネル幅 W は $1.5 \mu m$ 以上 $6 \mu m$ 以下にする。

スイッチ 6 4 1 b は低階調表示のみに制御するスイッチである。低階調表示（黒表示）のときは、画素 1 6 の TFT 1 1 a のゲート電位は V d c に近くする必要がある（したがって、黒表示では、ソース信号線 1 8 の電位は V dd 近くにする必要がある）。また、黒表示では、プログラム電流 I w が小さく、第 8 8 図の A のように一agram、電位が低下してしまうと、正規の電位に復帰するのに長時間を要する。

172

PCT/JPO200209668

そのため、低階調表示の場合は、非選択期間 T1 が発生することを避けなくてはならない。逆に、高階調表示では、プログラム電流 I w が大きいため、非選択期間 T1 が発生してち間題がない場合が多い。したがって、本発明では、高階調表示の画像書き込みでは、非選択期間でスイッチ 6 4 1 a、スイッチ 6 4 1 b の両方をオンさせておく。また、感上げ電流 I wK を切替しておく必要がある。極力黒表示を実現するためである。低階調表示の画像書き込みでは、非選択期間ではスイッチ 6 4 1 c をオンさせておき、スイッチ 6 4 1 b はオフするというように駆動する。スイッチ 6 4 1 b は端子 S 2 で制御する。

もちろん、低階調表示および高階調表示の両方で、非選択期間 T1 にスイッチ 6 4 1 a をオフ（非導通状態）、スイッチ 6 4 1 b はオン（導通）させたままにするという駆動を実施してもよい。もちろん、低階調表示および高階調表示の両方で、非選択期間 T1 にスイッチ 6 4 1 a、スイッチ 6 4 1 b の両方をオフ（非導通）させた駆動を実施してもよい。

いずれにしても、制御端子 S 1、S 2 の駆動でスイッチ 6 4 1 を制御できる。なお、制御端子 S 1、S 2 はコマンド制御で駆動する。たとえば、制御端子 S 2 は非選択期間 T1 をオーバーラップするようにして 3 期間を “0” コンタクトレベルとする。このように制御することにより、第 8 8 図の A の状態は発生しない。また、時間が一定以上の黒表示レベルのときは、制御端子 S 1 を “0” ロジックレベルとする。すると、感上げ電流 I wK は停止し、より黒表示を実現できる。

以上の実施例は、表示パネルに 1 つのソースドライバ 1 4 を積載することを前提に実施例として説明した。しかし、本発明はこの構成に限定されるものではない。ソースドライバ 1 4 を 1 つの表示パネルに複数積載する構成でもよい。たとえば、第 9 3 図は 3 つのソースドライバ 1 4 を積載した表示パネルの実施例である。

本発明のソースドライバ 1 4 は、第 7 3 図、第 7 4 図、第 7 6 図、第 7 7 図などでも説明したように、少なくとも低階調領域の基準電流 I、

MCDesigns LLC 41118E3997 LLP
09/14/2007 16:00 FAX 2027588087
095/138

WO 03027998

PCT/JP02/09669

WO 03027998

PCT/JP02/09669

173

高階調節域の基準電流との2系統を具備する。このことは、第82図でも説明をした。

第82図でも説明したように、本発明の電流駆動方式のソースドライバ（IC）14は複数のドライバIC14を用いることを想定した、スレーブノマスター（S/M）端子を具備している。S/M端子をHシベルにすることによりマスターチップとして動作し、基準電流出力端子（図示せず）から、基準電流を出力する。もちろん、S/N端子のロジックは逆極性でもよい。また、ソースチャート電流母線931へのコマンドにより替えても良い。基準電流は可スケート電流母線931で伝達される。S/M端子をLレベルにすることによりIC14はスレーブチップとして動作し、基準電流入力端子（図示せず）から、マスター・チップの基準電流を受け取る。この電流が第73図、第74図のINL、INH端子に流れる電流となる。

基準電流はICチップ14の中央部（真中部分）の電流出力回路704で発生させる。マスター・チップの基準電流は外部外付け抵抗、あるいはIC内部に配置あるいは構成された電流きざみ方式の電子ボリュームにより、基準電流が調整されて印加される。

なお、ICチップ14の中央部にはコントロール回路（コマンドデータなど）なども形成（配置）される。基準電流源をチップの中央部に形成するには、基準電流発生回路とプログラム電流出力端子761との間の距離を極力短くするためである。

第93図の構成では、マスター・チップ14より基準電流が2つのスレーブチップ（14a、14c）に伝達される。スレーブチップは基準電流を受け取り、この電流を基準として、駆、子、孫電流を発生させる。なお、マスター・チップ14bがスレーブチップに受け渡す基準電流は、カレントミラー回路の電流受け渡しにより行う（第67図を参照のこと）。電流受け渡しを行なごとに、複数のチップで基準電流のせりはなくなり、画面の分割線が表示されなくなる。

第94図は基準電流の受け渡し端子位置を概念的に図示している。ICチップの中央部に配置されて端子941に基準電流信号線932が接続されている。この基準電流信号線932に出力される電流（なお、電圧の場合は、第76区を参照のこと）は、EL材料の温特相違がされている。また、E2材料の寿命劣化による補償がされている。

基準電流信号線932に印加された電流（電圧）に基づき、チップ14内で各電流源（631、632、633、634）を駆動する。この基準電流がカレントミラーアンプを介して、スレーブチップへの基準電流として出力される。スレーブチップへの基準電流は端子9410から出力される。端子9410は基準電流発生回路704の左右に少なくとも1個以上配置（形成）される。第94図では、左右に2個ずつ配置（形成）されている。この基準電流が、カスコード信号線931a1、931a2、931b1、931b2でスレーブチップ14に伝達される。

なお、スレーブチップ14aに印加された基準電流を、マスター・チップ14bにフィードバックし、ずれ量を補正するよう回路を構成してもよい。

有機EL表示パネルをモジュール化する際、問題となる事項に、アノード配線951、カソード配線の引き回し（配置）の抵抗値の課題がある。有機EL表示パネルは、EL素子15の駆動電圧が比較的低いからに、EL素子15に流れる電流が大きい。そのため、EL素子15に電流を供給するアノード配線、カソード配線を太くする必要がある。一例として、2インチクラスのEL表示パネルでも高分子EL材料では、200mA以上の電流をアノード配線951に流す必要がある。そのため、アノード配線951の電圧降下を防止するため、アノード配線は1Ω以下に低抵抗化する必要がある。しかし、アレイ基板71では、配線は薄膜蒸着で形成するため、低抵抗化は困難である。そのため、バターン幅を太くする必要がある。しかし、200mAの電流をほとんど電圧

降下なしで伝達するたまには、配線幅が2mm以上になるという問題があつた。

図105図は従来のEL表示パネルの構成である。表示領域50の左右に内蔵ゲートドライバ12a、12bが形成（配置）されている。また、ソースドライバ14dも直差16の TFTと同一プロセスで形成されている（内蔵ソースドライバ）。

ノード配線95はパネルの右側に配置されている。ノード配線95にはVdd電圧が印加されている。ノード配線951端は一例として2mm以上である。ノード配線951は画面の下端から画面の上端に分岐されている。分岐数は直差列数である。たとえば、QCIFパネルでは、176列×RGB=528本である。一方、ソース信号線18は内蔵ソースドライバ14dから出力されている。ソース信号線18は画面の上端から画面の下端に配置（形成）されている。また、内蔵ドライバ12の電源配線1051も画面の左右に配置されている。

したがって、表示パネルの右側の縦線は狭くすることができない。現在、携帯電話などに用いる表示パネルでは、狭縦線化が重要である。また、画面の左右の縦線を均等にすることが重要である。しかし、第105図の構成では、狭縦線化が困難である。

この課題を解決するため、本発明の表示パネルでは、第106図に図示するように、ノード配線951はソースドライバ14の裏面に位置する箇所、かつアレイ表面に配置（形成）している。ソースドライバ（C）14は半導体チップで形成（作製）し、COG（チップオンガラス）技術で基板71に実装している。ソースドライバ14化にノード配線951を配置（形成）できるのは、チップ14の裏面に基板に垂直方向に10μm～30μmの空間があるからである。第105図のように、ソースドライバ14dをアレイ基板71に直接形成すると、マスク数の問題、あるいは歩留まりの問題、ノイズの問題からソースドライバ14

Dの下層あるいは上層にノード配線（ベースアノード線、アノード電圧線、基幹アノード線）951を形成することは困難である。

また、第106図に図示するように、共通アノード線962を形成し、ベースアノード線951と共通アノード線962とを接続アノード線961で短絡させておる。特に、ICチップの中央部に接続アノード線961を形成した点がポイントである。接続アノード線961を形成することにより、ベースアノード線951と共通アノード線962間の電位差がなくなる。また、ノード配線952を共通アノード線962から分岐している点がポイントである。以上の構成を採用することにより、図105図のようにアノード配線951の引き回しがなくなり、狭縦線化を実現できる。

共通アノード線962が長さ20mmとし、配線幅が150μmとし、配線のシート抵抗を0.05Ω/μmとすれば、抵抗値は $20000(\mu\text{m}) / 150 (\mu\text{m}) \times 0.05\Omega = 7\Omega$ になる。共通アノード線962の両端を接続アノード線961cでベースアノード線951と接続すれば、共通アノード線962には両側給電されるから、見かけ上の抵抗値は、 $7\Omega / 2 = 3.5\Omega$ となり、また、集中分布乗数に置きなおすと、さらに、見かけ上の共通アノード線962の抵抗値は1/2となるから、少なくとも2Ω以下となる。アノード電流が100mAであつても、この共通アノード線962での電圧降下は、0.2V以下となる。

本発明はベースアノード線951をIC14下に形成すること、共通アノード線962を形成し、この共通アノード線962とベースアノード線951とを電気的に接続すること（接続アノード線961）、共通アノード線962からアノード配線952を分岐させることである。なお、アノード線はカソード線に置き換えることができる。

また、アノード線（ベースアノード線951、共通アノード線962、

WO 03/021798

PCT/JP02/09668

WO 03/021798

177

接続アノード配線 9 6 1、アノード配線 9 5 2などを低抵抗化するため、薄膜の配線を形成後、あるいはバターニング前に、無電解メッキ技術、電解メッキ技術などを用いて、導電性材料を被覆し厚膜化してもらよい。
5 できる。以上の事項はカソードに開しても同様である。また、ゲート信号線 1 7、ソース信号線 8 にも適用することができる。

したがって、共通アノード線 9 6 2 を形成し、この共通アノード線 9
6 2 を接続アノード線 9 6 1 で直側電を行なう構成の効果は高く、また、
中央部に接続アノード線 9 6 1 b (9 6 1 c) を形成することによりさ
10 らに効果が高くなる。また、ベースアノード配線 9 5 1、共通アノード線
9 6 2、接続アノード線 9 6 1 でループを構成しているため、IC 1 4
に入力される電界を抑制することができる。

共通アノード線 9 6 2 とベースアノード線 9 5 1 は同一金属材料で
形成し、また、接続アノード線 9 6 1 も同一金属材料で形成することが
好ましい。これらのアノード線は、アンイを形成する最も抵抗値
の低い金属材料あるいは構成で実現する。一般的に、ソース信号線 1 6
の金属材料および構成 (S D レイヤ) を実現する。共通アノード線 9 6
2 とソース信号線 1 8 とが交差する箇所は、同一材料で形成することは
できなか。したがって、交差する箇所は他の金属材料 (ゲート信号線 1
20 7 と同一材料および構成、G E レイヤ) で形成し、絶縁膜で電気的に絶
縁する。もちろん、アノード線は、ソース信号線 1 5 の構成材料からな
る薄膜と、ゲート信号線 1 7 の構成材料からなる薄膜とを積層して構成
してもらよい。

なお、ソースドライバ 1 4 の裏面にアノード配線 (カソード配線) な
どのEL素子 1 5 に電流を供給する配線を敷設する (配置する、形成す
25 る) としたが、これに限定するものではない。たとえば、ゲートドライ
バ 1 2 を IC チップ上で形成し、この IC を COG 実装してもよい。この
ゲートドライバ 1 2 の裏面にアノード配線、カソード配線を配置

(形成) する。以上のように本発明は、EL表示装置などにおいて、駆動 IC を半導体チップで形成 (作製) し、この IC をレイ基板 7 など
の基板に直接実装し、かつ、IC チップの裏面の空間部にアノード配
線、カソード配線などの電源あるいはグランドバーンを形成 (作製)
5 するものである。

以上の事項を他の図面を参照しながらさらに詳しく説明をする。第 9
5 図は本発明の表示パネルの一部の説明図である。第 9 5 図において、
点線が IC チップ 4 を配置する位置である。つまり、ベースアノード
線 (アノード電圧線つまり分岐前のアノード電線) が IC チップ 1 4 の
10 裏面かつレイ基板 7 1 上に形成 (配置) されている。なお、本発明の
実施例において、IC チップ (1 2、1 4) の裏面に分岐前のアノード
配線 9 5 1 を形成するとして説明するが、これは説明を容易にするため
である。たとえば、分岐前のアノード配線 9 5 1 のかわりに分岐前のカ
ソード配線あるいはカソード膜を形成 (配置) してもよい。その他、ゲ
15 ートドライバ 1 2 の電源配線 1 0 5 1 を配置または形成してもよい。
IC チップ 1 4 は COG 技術により電流出力 (電流入力) 端子 7 4 1
とアレイ 7 1 に形成された接続端子 9 5 3 とが接続される。接続端子 9
5 3 はソース信号線 1 8 の一端に形成されている。また、接続端子 9
3 は 9 5 3 a と 9 5 3 b というように千鳥配置である。なお、ソース信
20 号線の一端には接続端子 9 5 3 が形成され、他の端にもチェック用の端
子電極が形成されている。

また、本発明は IC チップを電流駆動方式のドライバ IC (電流で画
素にプログラムする方式) としたが、これに限定するものではない。た
25 ええば、第 4 3 図、第 5 3 図などの電圧プログラムの画素を駆動する電
圧駆動方式のドライバ IC を積載した EL 表示パネル (装置) などにも
適用することができます。

接続端子 9 5 3 a と 9 5 3 b 間にはアノード配線 9 5 2 (分岐後のア
ノード配線) が配置される。つまり、太く、低抵抗のベースアノード線

95 1から分岐されたアノード配線 95 2が接続端子 95 3間に形成され、面素 16タに沿って配置されている。したがって、アノード回路 95 2とソース信号線 18とは平行に形成（並置）される。以上のように構成（形成）することにより、第 105 図のようにベースアノード線 95 1を画面側に引き回すことなく、各面素に Vdd 電圧を供給できる。

5 第 96 図はさらに、具体的に図示している。第 95 図との差異は、アノード配線を接続端子 95 3間に配置せず、別途形成した共通アノード線 96 2から分けさせた点である。共通アノード線 96 2とベースアノード線 95 1とは接続アノード線 96 1で接続している。

10 第 96 図は IC チップ 14 を透視して裏面の様子を図示したように記載している。IC チップ 14 は出力端子 76 1にプログラム電流 Iw を出力する電流出力回路 70 4 が配置されている、基本的に、出力端子 76 1と電流出力回路 70 4 は規則正しく配置されている。IC チップ 14 の中央部には積電流源の基本電流を作製する回路、コントロール（制御）回路が形成されている。そのため、IC チップの中央部には出力端子 76 1 が形成されていない（電流出力回路 70 4 が IC チップの中央部に形成できないからである）。

15 本発明では、第 96 図の中央部 70 4 に部には出力端子 76 1を IC チップに作製していない（出力回路がないからである。なお、ソースドライバなどの IC チップの中央部に、コントロール回路などが形成され、出力回路が形成されていない事例は多い）。本発明の IC チップはこの点に着目し、IC チップの中央部に出力端子 76 1を形成（配置）せず（ソースドライバなどの IC チップの中央部に、コントロール回路など 20 が形成され、出力回路が形成されていない場合であっても、中央部にダミーパッドをして、出力端子（パッド）が形成されているのが一般的である）、この位置に共通アノード線 71 面に形成されている（ただし、共通アノード線 96 1はアレイ基板 71 面に形成されている）。接続アノード線 96 1の幅は、5.0 μm 以上 10.0 μm 以下にする。また、長

さに刻する抵抗（最大抵抗）値は、1 GΩ 以下になるようとする。
接続アノード線 96 1でベースアノード線 95 1と共通アノード線 96 2とをショートすることにより、共通アノード線 96 2に電流が流れることにより発生する電圧降下を極力抑制する。つまり、本発明の構成要素である接続アノード線 96 1は IC チップの中央部に出力回路がない点を有効に利用している。また、従来、IC チップの中央部にダミーパッドとして形成されている出力端子 76 1を削除することにより、このダミーパッドと接続アノード線 96 1とが接触して IC チップが電気的に影響を与えることを防止している。ただし、このダミーパッドが IC チップのベース基板（チップのグランド）、他の構成と電気的に絶縁されている場合は、ダミーパッドが接続アノード線 96 1と接触しても全く問題がない。したがって、ダミーパッドを IC チップの中央部に形成したままでもよいことは言うまでもない。
さらに具体的には、第 99 図のように接続アノード線 96 1、共通アノード線 96 2は形成（配置）されている。まず、接続アノード線 96 1は太い部分（961a）と細い部分（961b）がある。太い部分（961a）は抵抗値を低減するためである、細い部分（961b）は、出力端子 96 3間に接続アノード線 96 1bを形成し、共通アノード線 96 2と接続するためである。
20 また、ベースアノード線 95 1と共通アノード線 96 2との接続は、中央部の接続アノード線 96 1bだけでなく、左右の接続アノード線 96 1c でもショートしている。したがって、共通アノード線 96 2とベースアノード線 95 1とは 3 本の接続アノード線 96 1でショートされている。したがって、共通アノード線 96 2に大きな電流が流れても 25 共通アノード線 96 2で電圧降下が発生しにくい。これは、IC チップ 14 は通常、幅が 2 μm 以上あり、この IC 14 下に形成されたベースアノード線 95 1の線幅を大きく（低インピーダンス化できる）できるからである。そのため、低インピーダンスのベースアノード線 95 1と共に

WO00027998

PCTJP20049968

WO00027998

PCTJP20049968

(b)

通アノード線 9 6 2 とを複数箇所で接続アノード線 9 6 1 によりショートしているため、共通アノード線 9 6 2 の電圧降下は小さくなるのである。

以上のように共通アノード線 9 6 2 での電圧降下を小さくできるの 5 は、IC チップ 1 4 下にベースアノード線 9 5 1 を配置（形成）できる点、IC チップ 1 4 の左右の位置を用いて、接続アノード線 9 6 1 c を配置（形成）できる点、IC チップ 1 4 の中央部に接続アノード線 9 6 1 b を配置（形成）できる点にある。

また、第 9 9 図では、ベースアノード線 9 5 1 とカソード電源線（ベースカソード線）9 9 1 d を絶縁膜 1 0 2 を介して積層させている。この積層した箇所がコンデンサを形成する（この構成をアノードコンデンサ構成と呼ぶ）。このコンデンサは、電源バスコンデンサとして機能する。したがって、ベースアノード線 9 5 1 の急激な電流変化を吸収することができる。コンデンサの容量は、E シリーズ表示装置の表示面積を S 平方ミリメートルとし、コンデンサの容量を C (pF) としたとき、 $M/2 \leq C \leq M/10$ 以下の関係を満足させることができ。さらには、 $M/100 \leq C \leq M/2$ 以下の関係を満足させることが困難であり、大きいとコンデンサの形成面積が大きくなりすぎ実用的でない。

なお、第 9 9 図などの実施例では、IC チップ 1 4 下にベースアノード線 9 5 1 を配置（形成）するとしたが、アノード線をカソード線としてもよいことは言うまでもない。また、第 9 9 図において、ベースカソード線 9 9 1 とベースアノード線 9 5 1 d を入れ替えてても良い。本発明の技術的思想は、ドライバを半導体チップで形成し、かつ半導体チップをアレイ基板 7 1 もしくはフレキシブル基板に実装し、半導体チップの下面に E シリーズ 1 5 などの電源あるいはグランド電位（電流）を供給する配線などを配置（形成）する点にある。

したがって、半導体チップは、ソースドライバ 1 4 に限定されるもの

ではなく、ゲートドライバ 1 2 でもよく、また、電源 IC でもよい。また、半導体チップをフレキシブル基板に実装し、このフレキシブル基板面かつ半導体チップの下面に E シリーズ 1 5 などの電源あるいはグランドバターンを配置（形成）する構成も含まれる。もちろん、ソースドライバ 1 4 およびゲートドライバ 1 2 の両方を、半導体チップで構成し、基板 7 1 に COG 実装を行って良い。そして、前記チップの下面に電源あるいはグランドバターンを形成してもよい。また、E シリーズ 1 5 への電源あるいはグランドバターンとしたがこれに限定するものではなく、ソースドライバ 1 4 への電源配線、ゲートドライバ 1 2 への電源配線でもよい。また、EL 表示装置に規定されるものではなく、液晶表示装置にも適用できる。その他、FED、PDP など表示パネルにも適用することができる。以上の事項は、本発明の他の実施例でも同様である。

第 9 7 図は本発明の他の実施例である。第 9 5 図、第 9 6 図、第 9 9 図との主な差異は、第 9 5 図が出力端子 9 5 3 間にアノード配線 9 5 2 を配置したのに対し、第 9 7 図では、ベースアノード配線 9 5 1 から多数（複数）の細い接続アノード線 9 6 1 d を分岐させ、この接続アノード線 9 6 1 d と共通アノード線 9 6 2 とをショートした点である。また、細い接続アノード線 9 6 1 d と接続端子 9 5 3 と接続されたソース信号線 1 8 とを絶縁膜 1 0 2 を介して積層した点である。
15 アノード線 9 6 1 d はベースアノード線 9 5 1 とコントラクトホール 9 7 1 a とで接続を取り、アノード配線 9 5 2 は共通アノード線 9 6 2 とコントラクトホール 9 7 1 b とで接続を取っている。他の点（接続アノード線 9 6 1 a、9 6 1 b、9 6 1 c、アノードコンデンサンサ構成など）
20 などは第 9 6 図、第 9 9 図と同様であるので説明を省略する。
25 第 9 9 図の AA' 棚での断面図を第 9 8 図に図示する。第 9 8 図 (a) では、略同一幅のソース信号線 1 8 を接続アノード線 9 6 1 d が絶縁膜 1 0 2 c を介して積層されている。

絶縁膜 1 0 2 a の膜厚は、500 オンストローム以上 3000 オンストローム (A) 以下にする。さらに好ましくは、800 オンストローム (A) 以下にする。膜厚が薄いと、接続アノード線 9 6 1 d ヒソース信号線 1 8 との寄生容量が大きくなり、また、接続アノード線 9 6 1 d ヒソース信号線 1 8 との寄生容量が大きくなってしまう。逆に厚いと絶縁膜の形成時間に長時間を要し、製造時間が長くなりコストが高くなる。また、上側の配線の形成が困難になる。なお、絶縁膜 1 0 2 は、ポリビフェニールアルコール (PVA) 膜、エポキシ樹脂、ポリブロビシン樹脂、フェノール樹脂、アクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、SiO₂、SiNx などの無機材料が例示される。その他、A 1 2 0 3、Ta 2 0 3 などであってもよいことは言うまでもない。また、第 9 8 図 (a) に図示するように、最表面には絶縁膜 1 0 2 o を形成し、互線 9 6 1 などの腐食、機械的損傷を防止させる。

15 第 9 8 図 (b) では、ソース信号線 1 8 の上にソース信号線 1 0 2 a を介して積層されている。以上のように構成することにより、ソース信号線 1 8 の段差によるソース信号線 1 8 と接続アノード線 9 6 1 d とのショートを抑制することができる。第 9 8 図 (b) の構成では、接続アノード線 9 20 6 1 d の線幅は、ソース信号線 1 8 の線幅よりも 0.5 μm 以上狭くする方が好ましい。さらには、接続アノード線 9 6 1 d の線幅は、ソース信号線 1 8 の線幅よりも 0.8 μm 以上狭くすることが好ましい。第 9 8 図 (b) では、ソース信号線 1 8 の上にソース信号線 1 8 も線幅の狭い接続アノード線 9 6 1 d が絶縁膜 1 0 2 a を介して積層されていることが、第 9 8 図 (c) に図示するように、接続アノード線 9 6 1 d の上に接続アノード信号線 9 6 1 d よりも線幅の狭いソース信号線 1 8 が絶縁膜 1 0 2 a を介して積層するとしてもよい。他の事項は他の実施例と同様であるので説明を省略する。

絶縁膜 1 0 2 a の膜厚は、500 オンストローム以上 3000 オンストローム (A) 以下にする。さらに好ましくは、800 オンストローム (A) 以下にする。膜厚が薄いと、接続アノード線 9 6 1 d ヒソース信号線 1 8 との寄生容量が大きくなり、また、接続アノード線 9 6 1 d ヒソース信号線 1 8 との寄生容量が大きくなってしまう。逆に厚いと絶縁膜の形成時間に長時間を要し、製造時間が長くなりコストが高くなる。また、上側の配線の形成が困難になる。なお、絶縁膜 1 0 2 は、ポリビフェニールアルコール (PVA) 膜、エポキシ樹脂、ポリブロビシン樹脂、フェノール樹脂、アクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、SiO₂、SiNx などの無機材料が例示される。その他、A 1 2 0 3、Ta 2 0 3 などであってもよいことは言うまでもない。また、第 9 8 図 (a) に図示するように、最表面には絶縁膜 1 0 2 o を形成し、互線 9 6 1 などの腐食、機械的損傷を防止させる。

15 第 9 8 図 (b) では、ソース信号線 1 8 の上にソース信号線 1 0 2 a を介して積層されている。以上のように構成することにより、ソース信号線 1 8 の段差によるソース信号線 1 8 と接続アノード線 9 6 1 d とのショートを抑制することができる。第 9 8 図 (b) の構成では、接続アノード線 9 20 6 1 d の線幅は、ソース信号線 1 8 の線幅よりも 0.5 μm 以上狭くする方が好ましい。さらには、接続アノード線 9 6 1 d の線幅は、ソース信号線 1 8 の線幅よりも 0.8 μm 以上狭くすることが好ましい。第 9 8 図 (b) では、ソース信号線 1 8 の上にソース信号線 1 8 も線幅の狭い接続アノード線 9 6 1 d が絶縁膜 1 0 2 a を介して積層されていることが、第 9 8 図 (c) に図示するように、接続アノード線 9 6 1 d の上に接続アノード信号線 9 6 1 d よりも線幅の狭いソース信号線 1 8 が絶縁膜 1 0 2 a を介して積層するとしてもよい。他の事項は他の実施例と同様であるので説明を省略する。

第 1 0 0 図は IC チップ 1 4 部の断面図である。基本的には第 9 9 図の構成を基準にしているが、第 9 6 図、第 9 7 図などでも同様に適用できる、もしくは類似に適用できる。

第 1 0 0 図 (b) は第 9 9 図の A-A' の断面図である。第 1 0 0 図 (b) でも明らかのように、IC チップの 1 4 の中央部には出力バッド 7 6 c が形成 (配置) されていない。この出力バッドと、表示パネルのソース信号線 1 8 とが接続される。出力バッド 7 6 1 は、メッキ技術あるいはネイルヘッドボンディング技術によりパンプ (突起) が形成されている。突起の高さは 1.0 μm 以上 4.0 μm 以下 の高さにする。もちろん、金メッシュ技術 (電解、無電解) により突起を形成してもよいことは言うまでもない。

前記突起と各ソース信号線 1 8 とは導電性接着層 (図示せず) を介して電気的に接続されている。導電性接着層は接着剤としてエボキシ系、フェノール系等を主剤とし、銀 (Ag)、金 (Au)、ニッケル (Ni)、カーボン (C)、酸化錫 (SnO₂) などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接着層 (接続候補) 1 0 0 1 は、転写等の技術でパンプ上に形成する。または、突起とソース信号線 1 8 を ACF 塗潤 1 0 0 1 で熟接着する。なお、突起あるいは出力バッド 7 6 1 ヒソース信号線 1 8 との接続は、以上の方式に限定するものではない。また、アレイ基板上に IC 1 4 を積載せず、フィルムキャリヤ技術を用いてもよい。また、ボリミドフィルム等を用いてソース信号線 1 8 など接続しても良い。第 1 0 3 図 (a) はソース信号線 1 8 と共通アノード配線 9 6 2 とが重なっている部分の断面図である (第 9 8 図を参照のこと)。

WO 03027598

PCTJP20040669

WO 03027598

PCTJP20040668

185

EL素子 15 が低分子材料の場合は、最大で $200 \mu\text{A}$ 程度の電流が流れれる。じたがって、共通アノード配線 9 6 2 には、 $200 \mu\text{A} \times 5 2 8$ で約 100 mA の電流が流れれる。

したがって、共通アノード配線 9 6 2 での電圧降下を $0 \sim 2 \text{ (V)}$ 以内にするには、電流が流れれる最大絶済の抵抗値を 2Ω ($\pm 0.01 \Omega$) 流れるとして) 以下にする必要がある。本発明では、第 9 9 図に示すように 3箇所に接続アノード線 9 6 1 を形成しているので、集中分布回路におけるおなすと、共通アノード線 9 6 2 の抵抗値は容易に極めて小さく設計することができる。また、第 9 7 図のように多段の接続アノード線 9 6 1 d を形成すれば、共通アノード線 9 6 2 での電圧降下は、ほばなくななる。

問題となるのは、共通アノード線 9 6 2 とソース信号線 1 8 との重なり部分における寄生容量(共通アノード寄生容量と呼ぶ)の影響である。基本的に、電流駆動方式では、電流を書き込むソース信号線 1 8 に寄生容量があると黒表示電流を書き込みにくい。したがって、寄生容量は極力小さくする必要がある:

共通アノード寄生容量は、少なくとも 1 ソース信号線 1 8 が表示領域内で発生する寄生容量(表示寄生容量と呼ぶ)の $1 / 10$ 以下にする必要がある。たとえば、表示寄生容量が $1.0 (\mu\text{F})$ であれば、 $1 (p\text{F})$ 以下にする必要がある。さらに詳しくは、表示寄生容量の $1 / 20$ 以下にする必要がある。すなわち、表示寄生容量が $1.0 (\mu\text{F})$ であれば、 $0.5 (p\text{F})$ 以下にする必要がある。この点を考慮して、共通アノード線 9 6 2 の線幅(第 1 0 3 図の M)、地縁膜 1 0 2 の膜厚(第 1 0 1 図を参照)を決定する。

ベースアノード線 9 5 1 は IC チップ 1 4 の下に形成(配置)する。形成する線幅は、低抵抗化の観点から、極力太い方がよいことは言うまでもない。その他、ベースアノード配線 9 5 1 は遮光の機能を持たせることが好ましい。この説明図を第 1 0 2 図に図示している。なお、ベ

186

スアノード配線 9 5 1 を金属材料で所定膜厚形成すれば、遮光の効果があることはいうまでもない。また、ベースアノード線 9 5 1 が太くできないとき、あるいは、ITOなどの透明材料で形成するときは、ベースアノード線 9 5 1 に積層して、あるいは多層に、光吸収膜あるいは光反射膜を IC チップ 1 4 下(基本的にアレイ 7 1 の裏面)に形成する。

また、第 1 0 2 図の遮光膜(ベースアノード線 9 5 1)は、完全な遮光膜であることを必要としない、部分に開口部があつてもよく。また、回折効果、散乱効果を発揮するものでもよい。また、ベースアノード線 9 5 1 に積層させて、光学的干渉多層膜からなる遮光膜を形成または配置してもよい。

もちろん、アレイ基板 7 1 と IC チップ 1 4 との空間に、金属箔あるいは板あるいはシートからなる反射板(シート)、光吸収板(シート)を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、金属箔に限定されず、有機材料あるいは無機材料からなる箔あるいは板あるいはシートからなる反射板(シート)、光吸収板(シート)を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、アレイ基板 7 1 と IC チップ 1 4 との空間に、ゲルあるいは液体からなる光吸収材料、光反射材料を注入あるいは配置してもよい。さらに前記ゲルあるいは液体からなる光吸収材料、光反射材料を加熱により、あるいは光照射により硬化させることが好ましい。なお、ここでは説明を容易するために、ベースアノード線 9 5 1 を遮光膜(反射膜)にするとして説明をする。

第 1 0 2 図のように、ベースアノード線 9 5 1 はアレイ基板 7 1 の裏面(なお、裏面に限定するものではない。遮光膜/反射膜とするという思想を満足させるためには、IC チップ 1 4 の裏面に光が入射しなければよい)である。したがって、基板 7 1 の裏面あるいは内層にベースアノード線 9 5 1などを形成してもよいことは言うまでもない。また、基板 7 1 の裏面にベースアノード線 9 5 1(反射膜、光吸収膜として機能

する構成または構造)を形成することにより、IC14に光が入射することを防止または抑制するのであれば、アレイ基板71の裏面でもよい。)に遮光膜の機能を有するようには配置する。

また、第102図などでは、遮光膜などはアレイ基板71に形成する

6 としたがこれに限定するものではなく、ICチップ14の裏面に直接に遮光膜などを形成してもよい。この場合は、ICチップ14の裏面に施

7 領膜102(図示せず)を形成し、この絶縁膜上に遮光膜もしくは反射

8 膜などを形成する。また、ソースドライバ14がアレイ基板71に直接

9 に形成する構成(低温ポリシリコン技術、高温ポリシリコン技術、固相

成長技術、アモルファスシリコン技術によるドライバ構成)の場合には、

10 遮光膜、光吸収膜あるいは反射膜を基板71に形成し、その上にドライ

11 バ回路14を形成(配置)すればよい。

ICチップ14には電流源634など、微少電流を流すトランジスタ

12 素子が多く形成されている(第102図の回路形成部1021)。微少

13 電流を流すトランジスタ素子に光が入射すると、ホトコンダクタ現象が

14 発生し、出力電流(プログラム電流I_v)、漏電流量、子電流量などが

15 异常に増(バラツキが発生するなど)となる。特に、有機ELなどの自

16 発光素子は、基板71内でEL素子15から発生した光が乱反射するた

17 め、表示領域50以外の箇所から強い光が放射される。この放射された

18 光が、ICチップ14の回路形成部1021に入射するとホトコンダク

19 タ現象を発生する。したがって、ホトコンダクタ現象の対策は、EL表

20 示デバイスに特有の対策である。

この課題に対して、本発明では、ベースアノード線951を基板71

21 上に構成し、遮光膜する。ベースアノード線951の形成領域は第10

22 図に図示するように、回路形成部1021を被覆するようにする。以

23 上のように、遮光膜(ベースアノード線951)を形成することにより、

24 ホトコンダクタ現象を完全に防止できる。特にベースアノード配線95

位が変化する。しかし、電位の変化量は、1Hタイミングで少ししつ変わるために、どこ、グランド電位(電位変化しないという意味)として見なせる。したがって、ベースアノード線951あるいはベースカソード線は、遠光の機能だけでなく、シールドの効果も発揮する。

5 有機ELなどの自発光素子は、基板71内でEL素子15から発生した光が乱反射するため、表示領域50以外の箇所から強い光が放射される。この乱反射光を防止あるいは抑制するため、第101図に図示するよううに、画像表示に有効な光が通過しない箇所(無効領域)に光吸収膜1011を形成する(逆に有効領域とは、表示領域50およびその近傍)。

10 光吸収膜を形成する箇所は、封止フタ85の外側(光吸収膜:011a)、封止フタ85の内面(光吸収膜101c)、基板70の裏面(光吸収膜1011d)、基板の画像表示領域以外(光吸収膜101b)などである。なお、光吸収膜に固定するものではなく、光吸収シートを取り付けてもよく、また、光吸収壁でもよい。また、光吸収の概念には、光16 を散乱させることのより、光を発散させる方式あるいは構造も含まれる。また、広義には反射により光を封じこめる方式あるいは構成も含まれる。光吸収膜を構成する始質としては、アクリル樹脂などの有機材料にカーボンを含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にセラチンやカゼインを黒色の顔性20 染料で染色したもののが例示される。その他、單一で黒色となるフルオラン系色素を発色させて用いたものでちよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スペッタにより形成されたP: MnO₃膜、プラスマ重合により形成されたフタロシアニン膜等が例示される。

25 以上の材料はすべて黒色の材料であるが、光吸収膜としては、表示素子が発生する光色に対し、偏色の関係の材料を用いても良い。例えば、カラーフィルターの光吸収材料を望ましい光吸収特性を得られるよう改良して用いれば良い。基本的に前記した黒色吸収材料と同様に、

WO 0021798

PCTJP20000668

WO 0021798

189

190

色系を用いて天然樹脂を染色したもの用いても良い。また、色系を合成樹脂中に分散した材料を用いることができる。色系の選択の範囲は黒色系よりもむしろ幅広く、アノ染料、アントラキノン染料、フタロシアニン染料、トリフェニルメタン染料などから適切な1種、もしくはそれらのうち2種類以上の組み合わせでも良い。

また、光吸収膜としては金属材料を用いてもらよい。たとえば、六価クロムが例示される。六価クロムは黒色であり、光吸収膜として機能する。その他、オパールガラス、極化チタンなどの光散乱材料であつてもよい。光を散乱させることにより、結果的に光を吸収することとなるが、10 うである。

なお、封止フタ85は、4 μm以上15 μm以下の低脂ビーズ10-2を含有させた封止樹脂10-31を用いて、基板71と封止フタ85と接着する。フタ85は加压せずに配置し、固定する。
第9-9図の実施例は、共通アノード線9-62を1Cチップ1-4の近傍に形成(配置)するよう、表示領域5-0の近傍に形成し、また、形成するごとに固定したが、これに固定するものではない。
16 第1-0-3図に図示するように、表示領域5-0の近傍に形成してもよい。また、形成するごとが好ましい。なぜならば、ソース信号線1-8とアノード配線9-52とが短距離で、かつ平行して配置(形成)する部分が減少するからである。ソース信号線1-8とアノード配線9-52とが短距離で、かつ平行に配置されると、ソース信号線1-8とアノード配線9-52間に寄生容量が発生するからである。第1-0-3図のように、表示領域5-0の近傍に共通アノード線9-62を配置するとその問題点はなくなる。画面表示領域5-0から共通アノード線9-62の距離K(第1-0-3図を参照)は、1 mm以下にすることが好ましい。
20 共通アノード線9-62は、極力低抵抗化するため、ソース信号線1-8を形成する金属材料で形成することが好ましい。本発明では、Cu薄膜、Al薄膜あるいはTi-A1-Tiの積層構造、あるいは合金もしくはアマンガムからなる金属材料(SDメタル)で形成している。したがつ

て、ソース信号線1-8と共通アノード線9-62が交差する箇所はショートすることを防止するため、ゲート信号線1-7を構成する金属材料(GEMETAL)に留き換える。ゲート信号線は、Y0-NWの積層構造からなる金属材料で形成している。

5 一般的に、ゲート信号線1-7のシート抵抗は、ソース信号線1-8のシート抵抗より高い、これは、液晶表示装置で一般的である。しかし、有機EL表示パネルにおいて、かつて電流駆動方式では、ソース信号線1-8を流れる電流は1~5 μAと较少である、したがって、ソース信号線1-8の配線抵抗が高くとも電圧降下はほとんど発生せず、良好な画像表示10 を実現できる。液晶表示装置においては、電圧でソース信号線1-8に画像データを書き込む、したがって、ソース信号線1-8の抵抗値が高いこと画像を1水平走査期間に書き込むことができない。
しかし、本発明の電流駆動方式では、ソース信号線1-8の抵抗値が高く(つまり、シート抵抗値が高い)とも、課題とはならない。したがつて、ソース信号線1-8のシート抵抗は、ゲート信号線1-7のシート抵抗16 より高くともよい。したがって、本発明のEL表示パネルにおいて(概念的には、電流駆動方式の表示パネルあるいは表示装置において)、第1-0-4図に図示するように、ソース信号線1-8をGEメタルで作製(形成)し、ゲート信号線1-7をSDメタルで作製(形成)してもよい(液晶表示パネルと逆)。
第1-0-7図は、第9-9図、第1-0-3図のよう、
25 パー1-2を駆動する電源配線1-0-5-1を配置した構成である。電源配線1-0-5-1はパネルの表示領域5-0の右端→下辺→表示領域5-0の左端に引き回している。つまり、ゲートドライバ1-2-aと1-2-bの電源とは同一になっている。
しかし、ゲート信号線1-7-aを選択するゲートドライバ1-2-a(ゲート信号線1-7-aはTFT1-1-b、TFT1-1-cを制御する)と、ゲート信号線1-7-bを選択するゲートドライバ1-2-b(ゲート信号線1-7-bは

TFT-1dを制御し、EL素子15に流れる電流を制御する)とは、電源電圧を異ならせることが好ましい。特に、ゲート信号線17aの振幅(オン電圧-オフ電圧)は小さいことが好ましい。ゲート信号線17aの振幅が小さくなるほど、画素16のコンデンサ19へのか突き抜け電圧が減少するからである(第1回などを参照)。一方、ゲート信号線17bはEL素子15を制御する必要があるため、振幅は小さくできない。したがって、第108回に図示するように、ゲートドライバ12aの印加電圧はVh3(ゲート信号線17aのオフ電圧)と、V1a(ゲート信号線17aのオン電圧)とし、ゲートドライバ12bの印加電圧はVh6(ゲート信号線17bのオフ電圧)と、V1a(ゲート信号線17bのオン電圧)とする。V1a < V1bなる関係とする。なお、Vh3とV1aとは、必ずしも等しくない。

ゲートドライバ 1 2 は、通常、N チャンネルトランジスタと P チャンネルトランジスタなどで構成するが、P チャンネルトランジスタのみで形成することが好ましい。アレイの作製に必要となるマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。したがって、第 1 図、第 2 図などに例示したように、画素 1 6 を構成する TFT を P チャンネルトランジスタとするとともに、ゲートドライバ 1 2 も P チャンネルトランジスタで形成あるいは構成する。N チャンネルトランジスタと P チャンネルトランジスタでゲートドライバを構成する必要性マスク数は 10 枚となるが、P チャンネルトランジスタのみで

形成する必要ないマスク数は5枚になる。
しかし、Pチャンネルランジスタのみでゲートドライバ112などを構成すると、レベルシフタ回路をレイ基板71に形成できない。レベルシフタ回路はNチャンネルトランジスタと?チャンネルトランジスタで構成する。

この課題に対して、本発明では、レベルシフタ回路機能を、電源 I C 091 に内蔵させている。第 109 図はその実施例である。電源 I C

1091はゲートドライバ：2の駆動電圧、Eし系子15のアノード、カソード電圧、ソースドレーバ14の駆動電圧を発生させる。
電源IC1091はゲートドライバ12の駆動電圧を発生する。カソード電圧を発生させるため、高い耐圧の半導体プロセスを使用する必要がある。この耐圧があれば、ゲートドライバ12の駆動する信号電圧をアラルミノフットスリップが引きこ

したがって、レベルシフトおよびゲートドライバ1.2の駆動は第109回の構成で実現する。入力データ（画像データ、コマンド、制御データ）9.2はソースドライバ1.4に入力される。入力データにはゲートドライバ1.2の制御データも含まれる。ソースドライバ1.4は耐圧（動作電圧）が5(V)である。一方、ゲートドライバ1.2は動作電圧が15(V)である。ソースドライバ1.4から出力されるゲートドライバ1.2に出力される信号は、5(V)から1.5(V)にレベルシフトする必要がある。このレベルシフトを電源回路(1C)1.0.91で行う。第109回ではゲートドライバ1.2を制御するデータ信号も電源1C制御信号1.0.92としている。

電源回路 1091 は入力されたゲートドライブバターンを制御するデータ信号 1092 を内蔵するレベルシフタ回路でレベルシフトし、ゲートドライバ制御信号 1093 として出力し、ゲートドライブバターンを制御する。

以下、基板7：に内蔵するゲートドライバ12をPチャンネルのトランジスタのみで構成した本発明のゲートドライバ12について説明をする。先にも説明したように、画素16ヒゲードライバ12をPチャンネルトランジスタのみで形成する(つまり、基板7上に形成するトランジスタはすべてPチャンネルトランジスタである。反対に言えば、Nチャンネルのトランジスタを用いない状態)ことにより、アレイの作製に必要なマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれる。また、Pチャンネルトランジスタの横並みの方向

WO 03027998

WO 03027998

PCTJP20030668

193

194

に取り組みができるため、結果として特性改善が容易である。たとえば、
 V_t電圧の低減化（より0（V）に近くするなど）、V_tバラツキの減少を、CMOS構造（PチャンネルとNチャンネルトランジスタを用いる構成）よりも容易に実施できる。

5 一例として、第106図に図示するように、本発明は、表示領域50の左右に1個（ソフトレジスタ）ずつ、ゲートドライバ12を配置または形成あるいは構成している。ゲートドライバ12など（面積16のトランジスタも含む）は、プロセス温度が450度（摄氏）以下の低温シリコン技術で形成または構成するとして説明するが、これに限定するものではない。プロセス温度が450度（摄氏）以上の高温シリコン技術を用いて構成してもよく、また、回路（CGS）成長させた半導体膜を用いて TFTなどを形成したものを用いてもよい。その他の、有機TFTで形成してもよい。また、アモルファシリコン技術で形成あるいは構成したTFTであつてもよい。

10 一方のゲートドライバ12は、選択側のゲートドライバ12aである。ゲートト信号線17aにオンオフ電圧を印加し、画素 TFT11を制御する、他方のゲートドライバ12は、EL素子15に流す電流を制御（オンオフさせる）するゲートドライバ12bである。本発明の実施例では、主として第1図の画素構成を例示して説明をするとこれに限定するものではない。第50図、第51図、第54図などの他の画素構成においても適用できることは言うまでもない。また、本発明のゲートドライバ12の構成あるいはその駆動方式は、本発明の表示パネル、表示装置あるいは情報表示装置との組み合わせにおいて、より特徴ある効果を發揮する。しかし、他の構成においても特徴ある効果を發揮することは言うまでもない。

15 第111図に図示するように、本発明のゲートドライバ12(12a, 12b)では、4つのクロック端子（SCK0, SCK1, SCK2, SCK3）と、1つのスタート端子（データ信号（S STA））、シフト方向を上下反転制御する2つの反転端子（DIRA, DIRB、これらは、逆相の信号を印加する）の信号端子から構成される。また、電源端子として電源端子（VBB）と、H電源端子（Vd）などから構成される。

20 第111図に図示するように、本発明のゲートドライバ12(12a, 12b)では、4つのクロック端子（SCK0, SCK1, SCK2, SCK3）と、1つのスタート端子（データ信号（S STA））、シフト方向を上下反転制御する2つの反転端子（DIRA, DIRB、これらは、逆相の信号を印加する）の信号端子から構成される。また、電源端子として電源端子（VBB）と、H電源端子（Vd）などから構成される。

25 なお、以下に説明するゲートドライバ12の構成あるいは配置形態は、有機EL表示パネルなどの自己発光デバイスに限定されるものではない。液晶表示パネルあるいは電磁誘導表示パネルなどにも採用すること

ができる。たとえば、液晶表示パネルでは、画素の選択スイッチング素子の制御として本発明のゲートドライバ12の構成あるいは方式を探用してもよい。また、ゲートドライバ12を2台用いる場合は、1相を持ち容積の1方の端子に接続してもらよい。この方式は、独立CC駆動（容量結合駆動法）と呼ばれるものである。また、第111図、第113図などで説明する構成は、ゲートドライバ12だけでなく、ソースドライバ14のソフトレジスタ回路などにも採用することができることは言うまでもない。

10 本発明のゲートドライバ12は、先に説明した第6図、第13図、第16図、第20図、第22図、第24図、第26図、第27図、第28図、第29図、第34図、第37図、第40図、第41図、第44図、第82図、第91図、第92図、第93図、第103図、第104図、第105図、第106図、第107図、第108図、第109図などの
 15 ゲートドライバ12として実施あるいは採用することができる。

第111図は、本発明のゲートドライバ12のブロック図である。説明を容易にするため、4段分しか図示していないが、基本的には、ゲート信号線17の数に対応する単位ゲート出力回路111が形成または配置される。

20 第111図に図示するように、本発明のゲートドライバ12(12a, 12b)では、4つのクロック端子（SCK0, SCK1, SCK2, SCK3）と、1つのスタート端子（データ信号（S STA））、シフト方向を上下反転制御する2つの反転端子（DIRA, DIRB、これらは、逆相の信号を印加する）の信号端子から構成される。また、電源端子として電源端子（VBB）と、H電源端子（Vd）などから構成される。

25 なお、本発明のゲートドライバ12は、すべてPチャンネルのTFT（トランジスタ）で構成しているため、レベルシフト回路（低電圧の口

195

WO 030127998

PCT/JP2004/00668

ジック信号を高電圧のロジック信号に変換する回路)をゲートドライバ
に内蔵することができない、そのため、第109図などに図示した電源
回路(1C)1091内にレベルシフタ回路を配置または形成している。
電源回路(1C)1091は、ゲートドライバ12からゲート信号線1
5に出力するオン電圧(画素16TFTの選択電圧)、オフ電圧
16TFTの非選択電圧)に必要な電位の電圧を作成する。そのため、
電源IC(回路)1091が使用する半導体の耐圧プロセスは、十分な
耐圧がある。したがって、電源IC:091でロジック信号をレベルシ
フト(LS)すると都合がよい、したがって、コントローラ(図示せず)
10から出力されるゲートドライバ12の制御信号は、電源IC:091に
入力し、レベルシフトしてから、本発明のゲートドライバ12に入力す
る。コントローラ(図示せず)から出力されるソースドライバ回路1
4の制御信号は、直接に本発明のソースドライバ14などに入力する
(レベルシフトの必要がない)。

15 しかし、本発明はアレイ基板71に形成するトランジスタをすべてP
チャンネルで形成することに限定するものではない。ゲートドライバ1
2を後に説明する第111図、第113図のようにPチャンネルで形成
することにより、装置総化することができます。2.2インチのQ.C.I.F
パネルの場合、ゲートドライバ12の幅は、6μmルールの採用時で、
20 600μmで構成できる。供給するゲートドライバ12の電源配線の引
き回しを含めても700μmに構成することができます。同様の回路構成
をCMOS(NチャンネルとPチャンネルトランジスタ)で構成するど、
1.2mmになります。したがって、ゲートドライバ12をPチャ
ンネルで形成することにより、接線総化をいう特徴ある効果を発揮でき
25 る。

また、画素16をPチャンネルのトランジスタで構成することにより、
Pチャンネルトランジスタで形成したゲートドライバ12とのマッチ
ングが良くなる、Pチャンネルトランジスタ(第1図の画素構成では、

TFT11b、11c、TFT11d)はL電圧でオンする、一方、ゲ
ートドライバ12もし電圧が選択電圧である。Pチャンネルのゲートド
ライバは第113図の構成でもわかるが、Lレベルを選択レベルとする
とマッチングが良い、Lレベルが長期間保持できないからである。一方、
5 H電圧は長時間保持することができる。

また、EL画素15に電流を供給する駆動用TFT(第1図ではTFT
T11a)もPチャンネルで構成することにより、EL画素15のカソ
ードが金属薄膜のべた電極に構成することができます。また、アノード電
位Vddから順方向にEL画素15に電流を流すことができる。以上の
事項から、画素16のトランジスタをPチャンネルとし、ゲートドライ
バ12のトランジスタもPチャンネルとすることがよい。以上のことか
ら、本発明の画素16を構成するトランジスタ(駆動用TFT、イッヂ
ング用TFT)をPチャンネルで形成し、ゲートドライバ12のトラン
ジスタをPチャンネルで構成するという事項は單なる設計事項ではな
い。

この意味で、レベルシフタ(LS)回路を、基板71に直接に形成し
てもよい。つまり、レベルシフタ(LS)回路をPチャンネルとPチャ
ンネルトランジスタで形成する。コントローラ(図示せず)からのロジ
ック信号は、基板71に直接形成されたレベルシフタ回路で、Pチャ
ンネルトランジスタで形成されたゲートドライバ12のロジックレベル
20 に適合するように昇圧する。この昇圧したロジック電圧を前記ゲートド
ライバ12に印加する。

なお、レベルシフタ回路を半導体チップで形成し、基板71にCOG
実装などしてもよい。また、ソースドライバ14は、第109図などに
25 も図示しているが、基本的に半導体チップで形成し、基板71にCOG
実装する。ただし、ソースドライバ14を半導体チップで形成すること
に限定するものではなく、ポリシリコン技術を用いて基板71に直接に
形成してもよい。画素16を構成するトランジスタ11をPチャンネル

WD 03/07958

W0 03/07958

PCUJP209669

197

で構成すると、プログラム電流は画素 1 6 からソース信号線 1 8 に流れ出す方向になる。そのため、ソースドライバの当位電流回路 6 3 4（第 7 3 図、第 7 4 図などを参照のこと）は、N チャンネルのトランジスタで構成する必要がある、つまり、ソースドライバ 1 4 はプログラム電流 5 1 w を引き込む必要がある。

したがって、画素 1 6 の駆動用 TFT 1 1 a（第 1 図の場合）が P チャンネルトランジスタの場合、必ず、ソースドライバ 1 4 はプログラム電流 1 w を引き込むように、当位電流源 6 3 4 を N チャンネルトランジスタで構成する。ソースドライバ 1 4 をアレー基板 7 1 に形成するには、N チャンネル用マスク（プロセス）と P チャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素 1 6 とゲートドライバ 1 2 を P チャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタは N チャンネルで構成するのが本発明の表示パネル（表示装置）である。

なお、説明を容易にするため、本発明の実施例では、第 1 図の画素構成を例示して説明をする。しかし、画素 1 6 の選択トランジスタ（第 1 図では TFT 1 1 c）を P チャンネルで構成し、ゲートドライバ 1 2 を P チャンネルトランジスタで構成するなどの本発明の技術的思想は、第 1 図の画素構成に限定されるものではない。たとえば、電流駆動方式の画素構成では第 4 2 図に図示するカレントミラーの画素構成にも適用することができます。たとえば、電流駆動方式の画素構成では、第 6 2 図に図示するような 2 つの TFT T 1 a, T 1 b, 駆動トランジスタは TFT 1 1 a, 駆動トランジスタは TFT 1 1 a, にも適用することができます。もちろん、第 1 1 1 国、第 1 1 3 国のゲートドライバ 1 2 の構成も適用でき、また、組み合わせて接置などを構成できる。したがって、以上の説明した事項、以下に説明する事項は、画素構成などに限定されるものではない。

また、画素 1 6 の選択トランジスタを P チャンネルで構成し、ゲート

PCT/JP2006/00664

198

トランジスタを P チャンネルトランジスタで構成するという構成は、有機EL などの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイスにも適用することができます。

- 5 反転端子（DIRA, DIRB）は各単位ゲート出力回路 1 1 1 i に接続され、共通の信号が印加される。なお、第 1 1 3 国の等価回路図をみると、理解できるが、反転端子（DIRA, DIRB）は互いに逆極性の電圧値を入力する。また、シフトレジスタの走査方向を反転させる場合には、反転端子（DIRA, DIRB）に印加している電圧の極性を反転させることによって、第 1 1 1 国の回路構成は、クロック信号頻度は 4 つであるが、本発明では最適な数であるが、本発明はこれに限定するものではない。4 つよりもまたは 4 つより多くてもよい。
- 10 反転端子（SCK0, SCK1, SCK2, SCK3）の入力は、クロック信号（SCK0, SCK1, SCK2, SCK3）の入力は、接続した単位ゲート出力回路 1 1 1 a は、クロック端子の SCK0 が OC に、SCK2 が RST に入力されている。この状態は、単位ゲート出力回路 1 1 1 1 c も同様である。単位ゲート出力回路 1 1 1 1 a に隣接した単位ゲート出力回路 1 1 1 b (次段の単位ゲート出力回路) は、クロック端子の SCK1 が OC に、SCK3 が RST に入力されている。したがって、単位ゲート出力回路 1 1 1 1 にに入力されるクロック端子は、SCK0 が OC に、SCK2 が RST に入力され、次段は、クロック端子の SCK1 が OC に、SCK3 が RST に入力され、さらに次段の単位ゲート出力回路 1 1 1 1 にに入力されるクロック端子は、SCK0 が OC に、SCK2 が RST に入力され、というように交互に異ならせている。
- 15 第 1 1 3 国が単位ゲート出力回路 1 1 1 1 の回路構成である。構成するトランジスタは P チャンネルのみで構成している。第 1 1 4 国が第 1 1 3 国の回路構成を説明するためのタイミングチャートである。なお、

第112図は第113図の複数段分におけるタイミングチャートを図示したものである。したがって、第113図を理解することにより、全体の動作を理解することができる。動作の理解は、文書で説明するよりも、第113図の等価回路図を参照しながら、第114図のタイミングチャートを理解することにより選成されるため、詳細な各トランジスタの動作の説明は省略する。

Pチャンネルのみドライバ回路構成を作成すると、基本的にゲート、信号線17をHレベル（第113図ではVd電圧）に維持することは可能である。しかし、Lレベル（第113図ではVB電圧）に長時間維持することは困難である。しかし、画素行の選択時などの短時間維持は十分にできる。IN端子に入力された信号と、RST端子に入力されたSCKクロックにより、n1が変化し、n2はn1の反転信号状態となる。n2の電位とn4の電位とは同一性度であるが、OC端子に入力されたSCKクロックによりn4の電位レベルはさらに低くなる。この低くなるレベルに対応して、Q端子がその期間、Lレベルに維持される（オシ電圧がゲート信号線17から出力される）。SQあるいはQ端子に出力される信号は、次段の単位ゲート出力回路1:1:1に伝送される。

第111図、第113図の回路構成において、IN (INA, INb)端子、クロック端子の印加信号のタイミングを記録するごとに、第1:5図(a)に図示するように、1ゲート信号線17を選択する状態と、第1:5図(b)に図示するように2ゲート、信号線17を選択する状態とを同一の回路構成を用いて実現できる。選択側のゲートドライバ12aにおいて、第115図(a)の状態は、1画素行(51a)を同時に選択する駆動方式である（ノーマル駆動）。また、選択画素行は1行ずつシフトする。第115図(b)は、2画素行を選択する構成である。この駆動方式は、第27図、第28図で説明した複数画素行(51a, 51b)の同時選択駆動（ダミー画素行を構成する方式）である。選択画素行は、1画素行ずつシフトし、かつ隣接した2画素行が同時に

選択される。特に、第115図(b)の駆動方法は、最終的な映像を保持する画素行(51a)に対し、画素行51bは予備充電される。そのため、画素16が書き込み易くなる。つまり、本発明は、端子に印加する信号により、2つの駆動方式を切り替えて実現できる。

なお、第115図(b)は隣接した画素16行を選択する方式であるが、第116図に図示するように、隣接した以外の画素16行を選択してもよい。（第116図は、3画素行離れた位置の画素行を選択している実施例である）。また、第113図の構成では、4画素行の組で制御される。4画素行のうち、1画素行を選択するか、連続した2画素行を選択するかの制御を実施できる。これは、使用するクロック(SCK)が4本によることの制約である。クロック(SCK)8本になれば、8画素行の組で制御を実施できる。

選択側のデータドライバ12aの動作は、第115図の動作である。第115図(e)に図示するように、1画素行を選択し、選択位置を16水平同期信号に同期して1画素行ずつシフトする。また、第115図(b)に図示するように、2画素行を選択し、選択位置を1水平同期信号に同期して1画素行ずつシフトする。

次に、本発明のEIL表示パネルを構成する電子機器についての実施例について説明をする。第57図は情報端末装置の一例としての携帯型電話機の平面図である。筐体573にアンテナ571、テンキー572などがあり付けられている。572c～572eが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーなどである。

表示色切換キーが1度押されると表示色は8色モードに、つづいて同一のキーが押されると表示色は256色モード、さらに同一のキーが押されると表示色は4096色モードとなるようシーケンスを組んでよい。キーは押下されることに表示色モードが変化するトルスイッチとする。なお、別途表示色に対応する変更キーを設けてもよい。この場合、表示色切換キーは3つ（以上）となる。

WO 03-027998

PCT/RP20030668

WO 03-027998

201

表示色切換キーはプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切り換えるものでよい。たとえば、4096色を受話器に音声入力することによって、「高品位表示」、「256色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面5Gに表示される表示色が変化するようになる。これは現行の音声認識技術を採用することにより容易に実現することができる。

また、表示色の切り替えは電気的に切り換えるスイッチでもよく、表示パネルの表示部21に表示させたメニューを触ることにより選択するタッチパネルでもよい。また、スイッチを押さえる回数で切り換える、あるいはクリックホールのように回転あるいは方向により切り換えるように構成してよい。

また、上述した表示色切換キーの代わりに、フレームレートを切り換えるキーなどとしてもよい。また、動画と静止画とを切り換えるキーなどとしてもよい。また、動画と静止画のフレームレートなどの複数の要件を同時に切り換えるようにしてよい。また、押され続けると徐々に（連続的に）フレームレートが変化するよう構成されていてよい。この場合は発振器を構成するコンデンサC、抵抗Rを可変抵抗にしたり、電子ポリウムにしたりすることにより実現できる。また、コンデンサCはトリアコンデンサとするこにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、1つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

なお、表示色などによりフレームレートを切り換えるという技術的想は携帯型電話機に限定されるものではなく、バームトップコンピュータや、ノートパソコン、ディスクトップパソコン、携帯型時計など表示画面を有する機器に広く適用することができる。また、有機EL表示パネルに限定されるものではなく、液晶表示パネル、トランジスタパネル、

PLZTパネル、CRTなどにも適用することができます。

第57図では図示していないが、本発明の携帯型電話機は筐体573の裏側にCCDカメラを備えている。このCCDカメラで撮影し画像は即時に表示パネルの表示画面50に表示できる。CCDカメラで撮影したデータは、表示画面50に表示することができます。CCDカメラの画像データは24ビット(1670万色)、18ビット(26万色)、16ビット(6.5万色)、12ビット(4096色)、8ビット(256色)をキー572入力で切り替えることができる。

表示データが12ビット以上の時は、誤差補償処理を行って表示する。つまり、CCDカメラからの画像データが内蔵メモリの容量以上のは、誤差補償処理などを実施し、表示色数を内蔵画像メモリの容量以下となるように画像処理を行う。

今、ソースドライバ14には4096色(RGB各4ビット)で1画面の内蔵RAMを準備しているとして説明する。モジュール外部から送られてくる画像データが4096色の場合は、直接ソースドライバ14の内蔵画像RAMに格納され、この内蔵画像RAMから画像データを読み出し、表示画面50に画像を表示する。

画像データが26万色(G:6ビット、R:5ビットの計16ビット)の場合は、誤差補償コントローラの演算メモリにいったん格納され、かつ同時に誤差補償あるいはディザ処理を行う演算回路で誤差補償あるいはディザ処理が行われる。この誤差補償処理などにより16ビットの画像データは内蔵画像RAMのビット数である12ビットに変換されソースドライバ14に転送される。ソースドライバ14はRGB各4ビット(4096色)の画像データを出力し、表示画面50に画像を表示する。

さらに、本発明のEL表示パネルあるいはEL表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

第58図は本発明の実施の形態におけるビューファインダの断面図

202

PCT/RP20030668

PLZTパネル、CRTなどにも適用することができます。

第57図では図示していないが、本発明の携帯型電話機は筐体573の裏側にCCDカメラを備えている。このCCDカメラで撮影し画像は即時に表示パネルの表示画面50に表示できる。CCDカメラで撮影したデータは、表示画面50に表示することができます。CCDカメラの画像データは24ビット(1670万色)、18ビット(26万色)、16ビット(6.5万色)、12ビット(4096色)、8ビット(256色)をキー572入力で切り替えることができる。

表示データが12ビット以上の時は、誤差補償処理を行って表示する。つまり、CCDカメラからの画像データが内蔵メモリの容量以上のは、誤差補償処理などを実施し、表示色数を内蔵画像メモリの容量以下となるように画像処理を行う。

今、ソースドライバ14には4096色(RGB各4ビット)で1画面の内蔵RAMを準備しているとして説明する。モジュール外部から送られてくる画像データが4096色の場合は、直接ソースドライバ14の内蔵画像RAMに格納され、この内蔵画像RAMから画像データを読み出し、表示画面50に画像を表示する。

画像データが26万色(G:6ビット、R:5ビットの計16ビット)の場合は、誤差補償コントローラの演算メモリにいったん格納され、かつ同時に誤差補償あるいはディザ処理を行いう演算回路で誤差補償あるいはディザ処理が行われる。この誤差補償処理などにより16ビットの画像データは内蔵画像RAMのビット数である12ビットに変換されソースドライバ14に転送される。ソースドライバ14はRGB各4ビット(4096色)の画像データを出力し、表示画面50に画像を表示する。

さらに、本発明のEL表示パネルあるいはEL表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

第58図は本発明の実施の形態におけるビューファインダの断面図

WO 01002998

PCT/JP20010663

203

である。但し、説明を容易にするため模式的に描いている。また一部は大あるいは縮小した部が存在し、また、省略した箇所もある。たとえば、第 5 図において、接眼カバーを省略している。以上のことば他の図面においても該当する。

- 5 ボデー 573 の裏面は暗色あるいは黒色にされている。これは、EL 表示パネル（表示装置）574 から出射した光がボデー 573 の内面で反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（ハーフ板など）108、偏光板 109 などが配置されている。このことは第 10 図、第 11 図でも説明している。
- 10 接眼リング 581 には拡大レンズ 582 が取り付けられている。観察者は接眼リング 581 をボデー 573 内での挿入位置を可変して、表示パネル 574 の表示画像 50 にビントがあうように調整する。
- 15 また、必要に応じて表示パネル 574 の光出射側に凸レンズ 583 を配置すれば、拡大レンズ 582 に入射する主光線を収束させることができ。そのため、拡大レンズ 582 のレンズ径を小さくすることができ、ピューファインダを小型化することができます。
- 20 第 5 図はデジタルビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部 592 とデジタルビデオカメラ本体 573 と具備している。撮影レンズ部 592 とビューファインダ部 573 とは背中合わせとなつている。また、ビューファインダ（第 58 図も参照）573 には接眼カバーが取り付けられている。觀察者（ユーザー）はこの接眼カバー部から表示パネル 574 の表示部 50 を観察する。
- 25 また、本発明の EL 表示パネルである表示部 50 は表示モニターとしても使用されている。表示部 50 は支点 591 で角度を自由に調整でき、表示部 50 を使用しない時は、格納部 593 に格納される。
- スイッチ 594 は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ 594 は表示モード切り替えスイッチである。スイッチ 594 は、携帯型電話機などにも取り付けることが好ましい。こ

の表示モード切り替えスイッチ 594 について説明をする。

- 本発明の駆動方法の 1 つに N 倍の電流を EL 薄子 15 に流し、1F の 1/N の期間だけ点灯させる方法がある。この点灯させる期間を変化させることにより、明るさをデジタル的に変更することができる。たとえば、N = 4 として、EL 薄子 15 には 4 倍の電流を流す。点灯期間を 1/N とし、M = 1, 2, 3, 4 と切り替えれば、1 倍から 4 倍までの明るさ切り替えが可能となる。なお、M = 1, 1, 5, 2, 3, 4, 5, 6 などと変更できるよう構成してもよい。
- 以上の切り替え動作は、携帯型電話機の電源をオンしたときに、表示画面 50 を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けると EL 薄子 15 は急速に劣化する。そのため、非常に明るくする場合は、輝度で通常の輝度に復帰せらるよう構成しておく。さらに、高輝度で表示される場合は、ユーザーがボタンを押すことにより表示輝度を高くできるよう構成しておく。
- したがって、ユーザーがボタン 594 で切り替えるないようにしておけば、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えができるよう構成しておくことが好ましい。また、表示輝度を 50%, 60%, 80% などとユーザーなどが設定できるように構成しておくことが好ましい。
- 25 なら、表示画面 50 はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主觀評価によれば、周辺部が中央部に比較して 70% の輝度を保つておれば、根覚的に遜色ない。さらに低減させて、50% 輝度とし

WO 01002998

PCT/JP20010663

204

MCDERMOTT WILLIAMS LTD

MCDERMOTT WILLIAMS LTD

09/14/2007 16:05 FAX 2027588087 [TX/RX NO 7191] 図 111/138

WO 03/027998

PCTJP20030668

WO 03/027998

PCTJP20030668

205

てもほほ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したN倍パルス駆動(N倍の電流をEし素子15に流し、1Fの1/Nの期間だけ点灯させる方法)を用いて画面の上から下方向に、ガウス分布を発生させている。

6 具体的には、画面の上部と下部ではNの値を大きくし、中央部でMの値を小さくする。これは、ゲートバイア12のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させてい10る。以上の動作により、周辺輝度(画角0°, 9°)を50%にしたとき、輝度が100%の場合と比較して約20%の低消費電力化が可能である。周辺輝度(画角0°, 9°)を70%にした時、輝度が100%の場合と比較して約15%の低消費電力化が可能である。

なお、ガウス分布表示をオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させる15画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えてきるようにしておくか、設定モードで自動的に変更でき19るか、外光の明るさを検出して自動的に切り替えてできるように構成しておこうことが好ましい。また、周辺輝度を50%、60%、80%とユーザーなどが設定できるよう構成しておくことが好ましい。

液晶表示パネルではバックライトで固定のガウス分布を発生させて20いる。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

また、フレームレートが所定の場合、室内の蛍光灯などの点灯状態と干涉してフリッカが発生することがある。例えば、蛍光灯が60Hzの交流で点灯している場合、Eし表示素子15がフレームレート60Hzで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅していくように感じられることがある。これを避けたためにはフレームレート

を変更すればよい。本発明はフレームレートの変更機能を付加している。また、N倍パルス駆動(N倍の電流をEし素子15に流し、1Fの1/Nの期間だけ点灯させる方法)において、NまたはMの値を変更できるように構成している。

6 以上的機能をスイッチ594で実現できるようにする。スイッチ594は表示画面50のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

6 なお、以上の事項は、携帯型電話機だけに限定されるものではなく、テンビ、モニターなどに用いることができるとはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

本実施の形態のE1表示装置などはデジタルビデオカメラだけではなく、第60図に示すようなデジタルスチルカメラにも適用することができます。表示装置はカメラ本体601に付属されたモニター50として用いる。カメラ本体601にはシャッタ603の他、スイッチ594が取り付けられている。

以上は表示パネルの表示領域が比較的小型の場合であるが、30インチ以上のような大型になると表示画面50が大きくなる。そのため、本発明では第61図に示すように表示パネルに外枠611をつけ、外枠611をつり上げることができるように固定部材614を備えている。この固定部材614を用いて、壁などに取り付ける。

しかし、表示パネルの画面サイズが大きくなると重量も大きくなる。そのため、表示パネルの下側に棚取り付け部613を配置し、複数の脚26612で表示パネルの重量を保持できるようになっている。

脚612は矢符Aに示すように左右に移動でき、また、脚612は矢符Bに示すように伸縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

第 61 図に示すテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって損傷することを防止することが 1 つの目的である。保護フィルムの表面にエンボス加工することにより表示パネル以外の状況（外光）が映り込むことを抑制している。また、保護フィルムと表示パネルとの間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。さらに、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルムとの間に空隙を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

また、保護フィルムと表示パネルとの間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエボキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できることともに、前記光結合剤が緩衝材として機能するからである。

保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエスチルフィルム（板）、PVA フィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ABS など）などを用いることができるこことは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。

保護フィルムを配置するかわりに、表示パネルの表面に対して、エボキシ樹脂、フェノール樹脂、アクリル樹脂などを 0.5 mm 以上 2.0 mm 以下の厚みでコーティングすることでも同様の効果が得られる。また、これらの樹脂表面にエンボス加工などをすることも有效である。

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことが可能となるからである。また、保護フィルムを厚く形成し、フロントライトと兼用するようにしてもよい。

- 本発明の実施例における表示パネルは、3 週フリーの構成と組み合わせるこども有効であることはいうまでもない。特に 3 週フリーの構成は画素がアモルファシリコン技術を用いて作製されているときに有効である。また、アモルファシリコン技術で形成されたパネルでは、ドランジスタ素子の特性バラツキのプロセス制御が不可能であるため、本発明のド倍バルス駆動、リセット駆動、リセット駆動、ミニ一向系駆動などを実施することができない。したがって、本発明におけるトランジスタなどは、シリコン技術によるものに限定するものではなく、アモルファシリコンによるものであつてもよい。
- なお、本発明の N 倍バルス駆動（第 13 図、第 16 図、第 19 図、第 20 図、第 24 図、第 30 図などを参照）などは、低温ボリシリコン技術でトランジスタ 11 を形成して表示パネルと同様、アモルファシリコン技術でトランジスタ 11 を形成した表示パネルに有効である。アモルファシリコンのトランジスタ 11 では、隣接したトランジスタの特性がほぼ一致しているからである。したがつて、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、第 24 図、第 30 図の N 倍バルス駆動はアモルファシリコンで形成したトランジスタの画素構成において有効である）。
- 本発明の実施例で疏明した技術的構造はデジタルビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダー、携帯型電話機のモニター、PHS、携帯情報端末およびそのモニター、デジタルスチルカメラおよびそのモニターにも適用できる。
- また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノードブック型およびデスクトップ型パソコンコンピュータにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、腕時計およびその表示装置にも適用できる。

WO 03027998

PCT/JP02/09668

WO 03027998

209

210

さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにとも適用あるいは応用展開できることは言うまでもない、照明装置は色温度を可変にできるように構成することが好ましい。

5 これは、RGBの国糸をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはボスターなどの表示装置、RGBの信号器、情報表示灯などにも応用できる。

また、スキャナの光源としても有機EL表示パネルは有利である。又10 RGBのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アダティブマトリックスに限定するものではなく、専用マトリックスでもよい。色温度を調整できるようすれば画像読み取り精度も向上する。

また、液晶表示装置のバックライトにても有機EL表示装置は有利である。EL表示装置（バックライト）のRGBの画素をストライプ状ある15 ひはドットマトリックス状に形成し、これらに逆す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上面光源であるから、画面の中央部を明るく、周辺部を暗くするガラス分布を容易に構成できる。また、R、G、B光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

なお、第1図などの図面では、本発明におけるEL糸子15をOLE20 Dとして捉えてダイオードの記号を用いて示している。しかしながら、本発明におけるEL糸子15はOLEDに限られるわけではなく、糸子15に流れれる電流によって輝度が制御されるものであればよい。そのような糸子としては無機EL糸子が例示される。その他、半導体で構成

される白色発光ダイオードが例示される。また、一般的な発光ダイオードが例示される。その他、発光トランジスタでもよい。また、糸子15は必ずしも整流性が要求されるものではない。双方向性ダイオードであつてもよい。

5 上記説明から、当業者にとっては、本発明の多くの改良や他の実施形態が明らかである。従つて、上記説明は、例示としてのみ解釈されるべきであり、本発明を実行する最良の態様を当業者に教示する目的で提供されたものである。本発明の精神を逸脱することなく、その構造及びノーティング

10 （産業上の利用の可能性）
本発明に係るEJ表示装置は、薄型のテレビ、デジタルビデオカメラ、デジタルスチルカメラ、携帯型電話機などの表示部として有用である。

請求の範囲

5. 1. 様数のソース信号線と、前記ソース信号線を介して供給される電流に応じた輝度で発光する複数のEL素子と、前記ソース信号線を介して画像の階調に応じた電流を前記EL素子に供給するソースドライバとを備えるEL表示装置において、
前記ソースドライバは、
前記ソース信号線に對応して複数設けられ、それぞれが、前記第1電流源によって出力された基準信号を電圧にて受け渡すように構成される第1電流源と、
前記ソース信号線に對応して複数設けられ、それぞれが、前記第1電流源によって出力された基準信号を用いて前記画像の階調に応じた電流を生成するように構成されている、EL表示装置。
10. 基準信号を生成する基準信号生成手段と、
前記基準信号生成手段によって生成された基準信号を電流にて出力する第2電流源と、
前記第2電流源のそれぞれが有している基準信号を用いて前記画像の階調に応じた電流を生成するように構成されている、EL表示装置。
15. 前記第2電流源のそれぞれには、選択された場合に前記基準信号を電流にて出力するよう構成されている、EL表示装置。
20. 前記ソースドライバは、前記画像の階調に応じてまたは複数の前記単位トランジスタを選択するよう構成されており、
表示可能な階調数をKとし、前記単位トランジスタの大きさをS_t（平方mm）としたとき、 $40 \leq K / (S_t) \leq 300$ の關係を満足するよう構成されている請求の範囲第1項に記載のEL表示装置。
25. 前記複数の第2電流源は、2平方mm以下の領域内に形成されている請求の範囲第1項に記載のEL表示装置。
3. 前記複数の第2電流源は、2平方mm以下の領域として供給するソースドライバとを具備するEL素子に映像信号を電流として供給している電子機器。
9. EL素子がマトリックス状に形成された表示領域と、
前記EL表示装置において構成されている電子機器。

4. 前記ソースドライバには、前記EL素子から発せられる光が前記第1電流源および第2電流源に照射されることを防止するための遮光膜が形成されている請求の範囲第1項に記載のEL表示装置。

5. 様数のソース信号線と、前記ソース信号線を介して供給される電流に応じた輝度で発光する複数のEL素子と、前記ソース信号線を介して画像の階調に応じた電流を前記EL素子に供給するソースドライバとを備えるEL表示装置において、
前記ソースドライバは、
第1単位電流を出力する複数の単位トランジスタを含んでなり、前記第1単位電流を組み合わせることにより所望の電流を前記EL素子に出力する第1電流出力回路と、
前記第1単位電流よりも大きい第2単位電流を出力する複数の単位トランジスタを含んでなり、前記第2単位電流を組み合わせることにより所望の電流を前記EL素子に出力する第2電流出力回路とを具備し、

10. 第1単位電流を組み合わせることにより所望の電流を前記EL素子に出力する第1電流出力回路と、
前記第1単位電流よりも大きい第2単位電流を出力する複数の単位トランジスタを含んでなり、前記第2単位電流を組み合わせることにより所望の電流を前記EL素子に出力する第2電流出力回路とを具備し、
15. 表示すべき階調が所定の階調よりも低い場合に、該表示すべき階調に応じた電流を出力すべく前記第1電流出力回路を動作させ、強示すべき階調が所定の階調以上の場合に、該表示すべき階調に応じた電流を出力すべく前記第2電流出力回路を動作させると共に、所定の電流を前記第1電流出力回路に出力させている、EL表示装置。
20. 6. 前記第2電流の大きさは、前記第1電流の大きさの4倍以上8倍以下である請求の範囲第5項に記載のEL表示装置、
7. 前記ソースドライバには、前記EL素子から発せられる光が前記第1電流出力回路および第2電流出力回路に照射されることを防止するための遮光膜が形成されている請求の範囲第5項に記載のEL表示装置。
25. 8. 請求の範囲第2項に記載のEL表示装置を備え、前記EL表示装置に対して画像信号を出力するよう構成されている電子機器。

9. EL素子がマトリックス状に形成された表示領域と、
前記EL表示装置において構成されている電子機器。

前記EL素子に映像信号を電流として供給するソースドライバとを具備するEL素子に映像信号を電流として供給している電子機器。

PCTJP0009668

WO 03N027998

PCTJP0009668

213

備し、

前記ソースドライバは、

基準電流を発生する基準電流発生手段と、
前記基準電流発生手段からの基準電流が入力され、かつ前記基準電流に対する第1の電流を出力する第1の電流源と、
前記第1の電流源から出力される第1の電流が入力され、かつ前記第1の電流に対応する第2の電流を出力する第2の電流源と、
前記第2の電流源から出力される第2の電流が入力され、かつ前記第2の電流に対応する第3の電流を出力する第3の電流源と、
前記第3の電流源から出力される第3の電流が入力され、かつ入力電信号データに応じて前記第3の電流に応応する単位電流を前記E-L業子
に出力する複数の単位電流源とを有していることを特徴とするE-L表示

装置。

10 前記E-L業子がマトリックス状に映像信号を電流として供給するソースドライバとを具

備し、

前記ソースドライバは、複数の単位トランジスタを有し、

前記単位トランジスタは、入力された映像信号の大きさに対応して選

択された場合に単位電流を出力するよう構成されており、
20 表示可能な階調数をKとし、前記単位トランジスタの大きさをS_t(平
方cm)としたとき、 $40 \leq K / (S_t) \leq 300$ の関係を
満足するよう構成されていることを特徴とするE-L表示装置。11 前記E-L業子がマトリックス状に形成された表示領域と、
前記E-L業子に映像信号を電流として供給するソースドライバとを具

備し、

前記ソースドライバは、複数の単位トランジスタを有し、

前記単位トランジスタは、入力された映像信号の大きさに対応して選

択された場合に単位電流を出力するよう構成されており、
20 表示可能な階調数をKとし、前記単位トランジスタの大きさをS_t(平
方cm)としたとき、 $40 \leq K / (S_t) \leq 300$ の関係を
満足するよう構成されていることを特徴とするE-L表示装置。11 前記E-L業子がマトリックス状に形成された表示領域と、
前記E-L業子に映像信号を電流として供給するソースドライバとを具

備し、

前記ソースドライバは、複数の単位トランジスタを有し、

前記単位トランジスタは、入力された映像信号の大きさに対応して選

択された場合に単位電流を出力するよう構成されており、
20 表示可能な階調数をKとし、前記単位トランジスタの大きさをS_t(平
方cm)としたとき、 $40 \leq K / (S_t) \leq 300$ の関係を
満足するよう構成されていることを特徴とするE-L表示装置。11 前記E-L業子がマトリックス状に形成された表示領域と、
前記E-L業子に映像信号を電流として供給するソースドライバとを具

備し、

前記ソースドライバは、複数の単位トランジスタを有し、

前記単位トランジスタは、入力された映像信号の大きさに対応して選

択された場合に単位電流を出力するよう構成されており、
20 表示可能な階調数をKとし、前記単位トランジスタの大きさをS_t(平
方cm)としたとき、 $40 \leq K / (S_t) \leq 300$ の関係を
満足するよう構成されていることを特徴とするE-L表示装置。11 前記E-L業子がマトリックス状に形成された表示領域と、
前記E-L業子に映像信号を電流として供給するソースドライバとを具

備し、

前記ソースドライバは、複数の単位トランジスタを有し、

前記単位トランジスタは、入力された映像信号の大きさに対応して選

択された場合に単位電流を出力するよう構成されており、
20 表示可能な階調数をKとし、前記単位トランジスタの大きさをS_t(平
方cm)としたとき、 $40 \leq K / (S_t) \leq 300$ の関係を
満足するよう構成されていることを特徴とするE-L表示装置。

前記トランジスタ群は2平方mm以内の範囲に形成されていることを

特徴とするE-L表示装置。

12 前記第1のトランジスタは、複数の単位トランジスタから構成
され、5 故複数の単位トランジスタは、2平方mm以内の範囲に形成されてい
ることを特徴とする請求の範囲第11項に記載のE-L表示装置，
13 E-L業子を有する直系がマトリックス状に形成された表示領域
と、

前記画面に形成されたトランジスタ業子と、

10 前記トランジスタ業子をオンオフ制御するゲートドライバと，
前記トランジスタ業子に映像信号を供給するソースドライバとを具備
し、前記ゲートドライバは、Pチャンネルトランジスタで構成されており，
前記画面に形成されたトランジスタは、Pチャンネルトランジスタ業15 子であり、
前記ゲートドライバは、半導体チップで構成されていることを特徴と
するE-L表示装置。14 E-L業子と、駆動用トランジスタと、前記駆動用トランジスタ
と前記E-L業子間の経路を形成する第1のスイッチング業子と、前記駆
動用トランジスタとソース信号端間に形成する第2のスイッチン
グ業子とが、マトリックス状に形成された表示領域と、
前記第1のスイッチング業子をオンオフ制御する第1のゲートドライ
バと、前記第2のスイッチング業子をオンオフ制御する第2のゲートドライ
バと，
前記トランジスタ業子に映像信号を印加するソースドライバとを具備
し、
前記ゲートドライバは、Pチャンネルトランジスタで構成されており，

前記ゲートドライバは、Pチャンネルトランジスタで構成されており，

前記ソースドライバは、第1のトランジスタと、前記第1のトランジ
スタヒカレントミラー接続された複数の第2のトランジスタからなるト
ランジスタ群とを有し、

WO 03027398

PCT/JP02/09668

216

WO 03027399

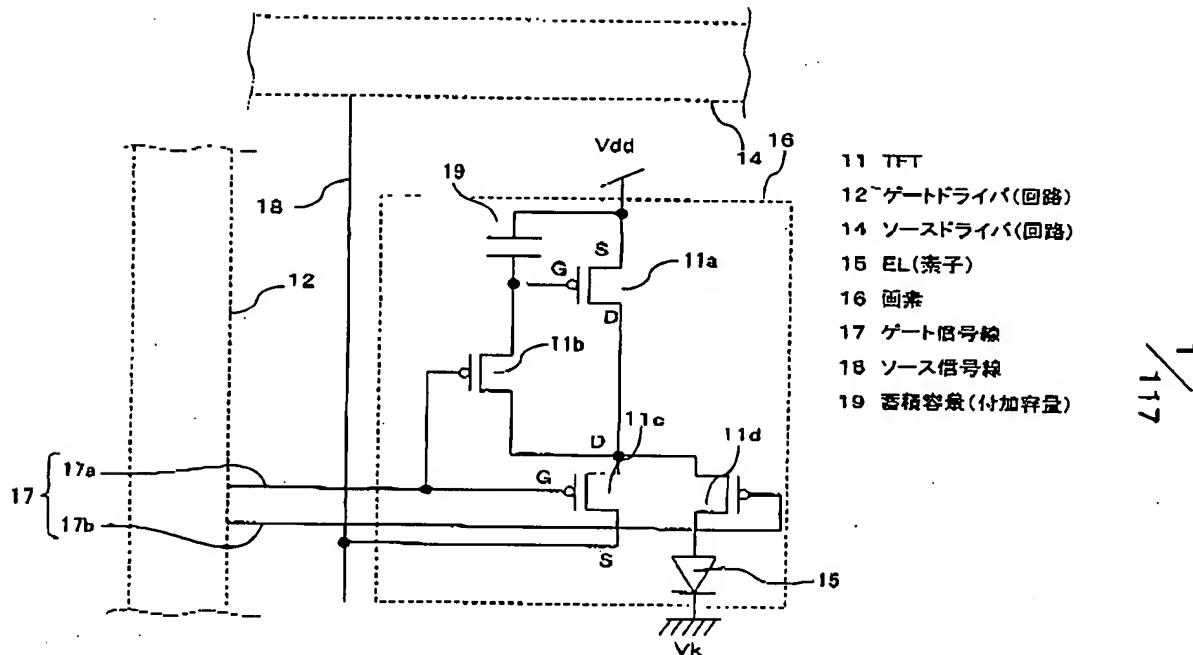
PCT/JP02/09669

前記画素に形成されたトランジスタおよびスイッチング素子は、Pチャンネルトランジスタ素子であり、

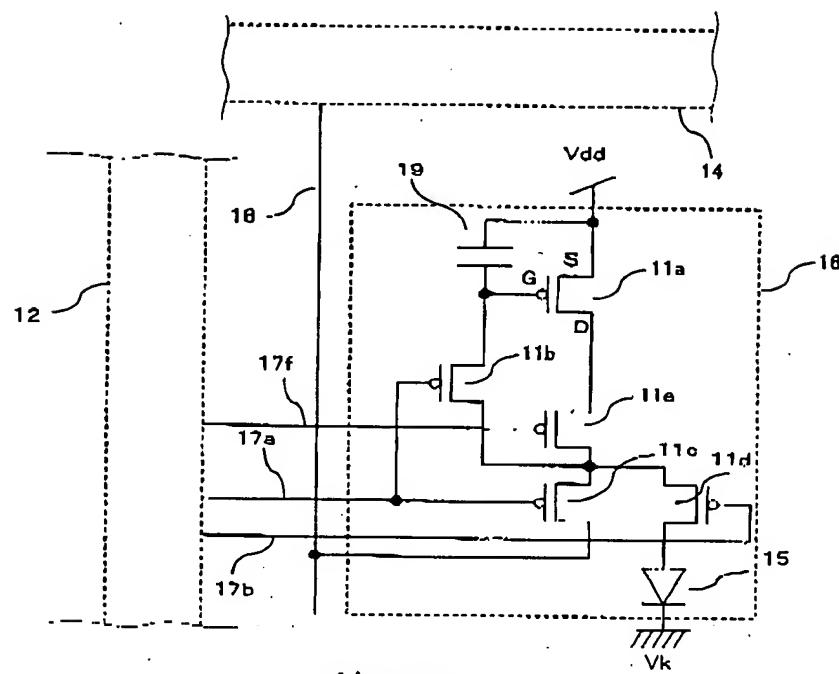
前記ソースドライバは、半導体チップで構成されていることを特徴とするEL表示装置。

5 15. 前記ソースドライバは、映像信号を電流で出力することを特徴とする請求の範囲第13項または請求の範囲第4項に記載のEL表示装置。

16. 前記ゲートドライバは、4つのクロック信号により、データをシフト動作することを特徴とする範囲第13項または請求の範囲第14項に記載のEL表示装置。

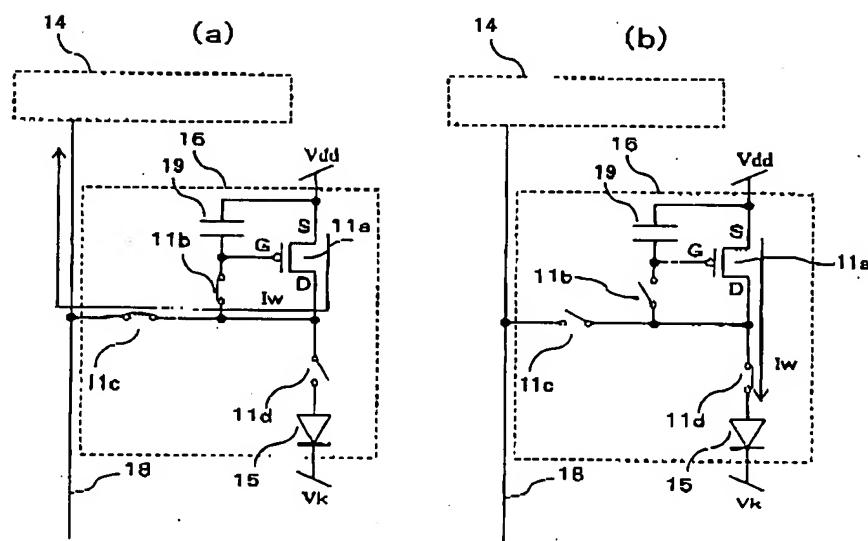


第1図

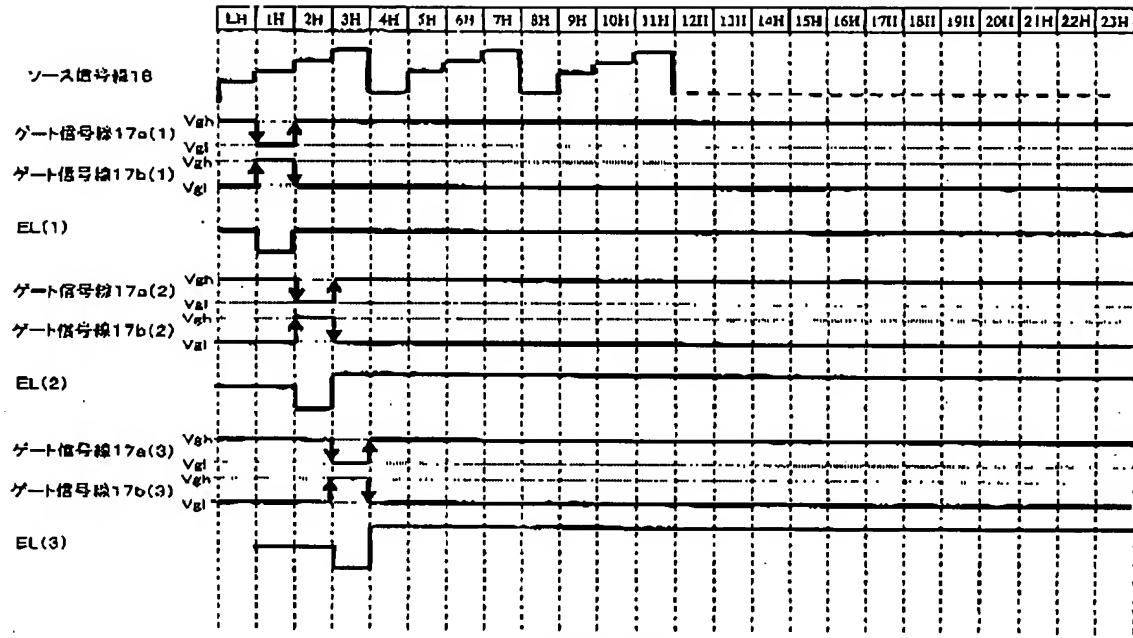


第2図

2 / 117



第3図



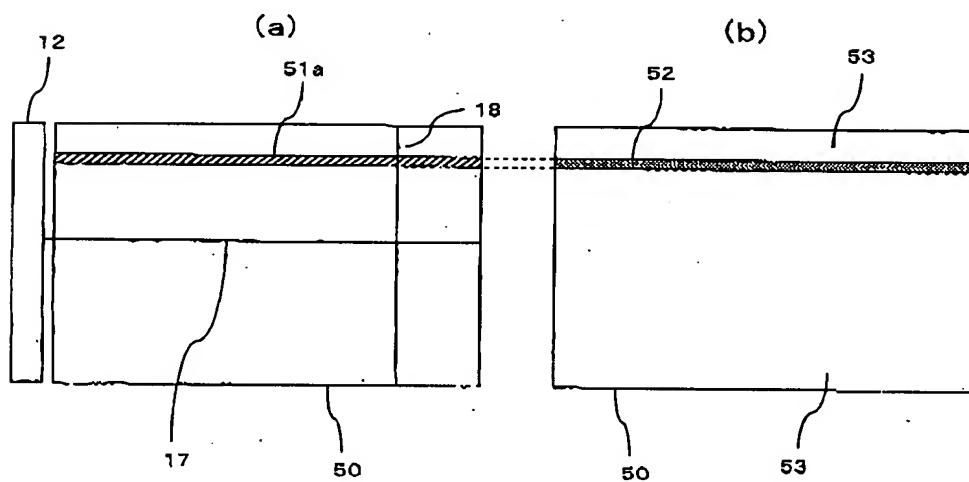
第4図

WO 03/0212948

PCT/JP2002/00668

WO 03/0212948

- 50 表示画面
- 51 書き込み画素(行)
- 52 非表示画素(非表示領域、非点灯領域)
- 53 表示画素(表示領域、点灯領域)



第5図

4 / 117

5 / 117

PCT/JP2002/00668

图7

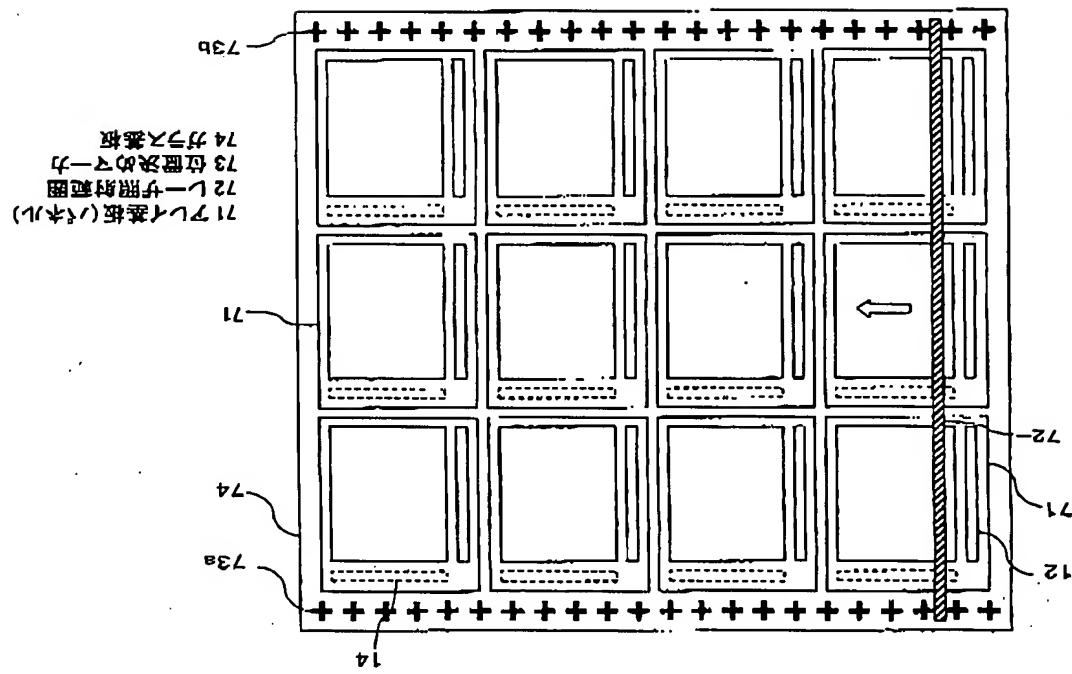
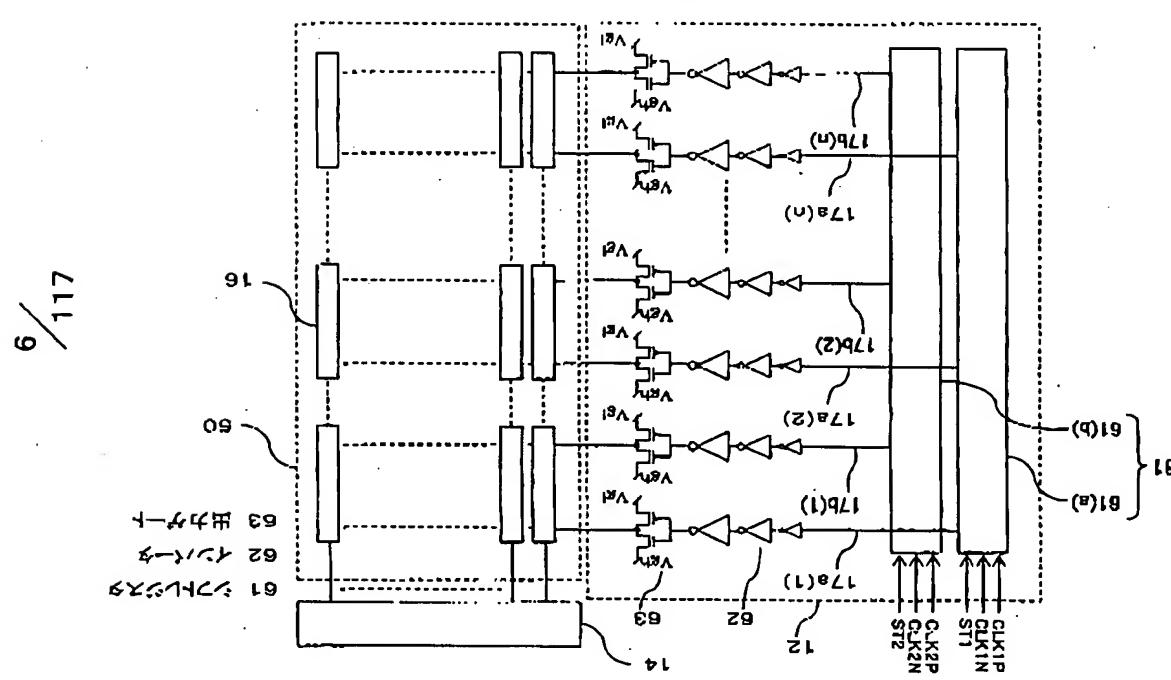
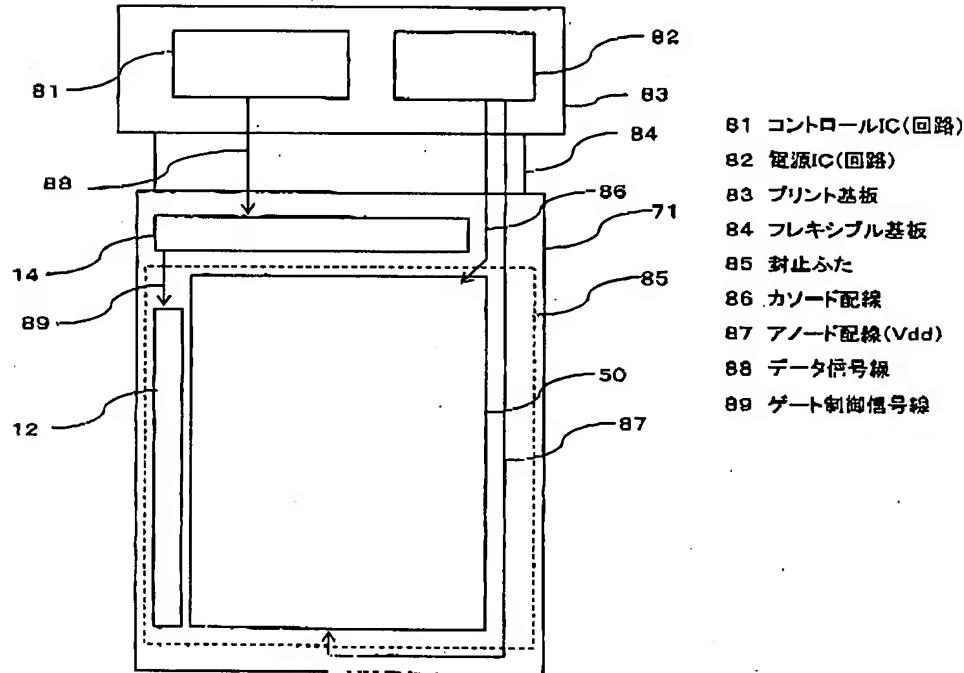
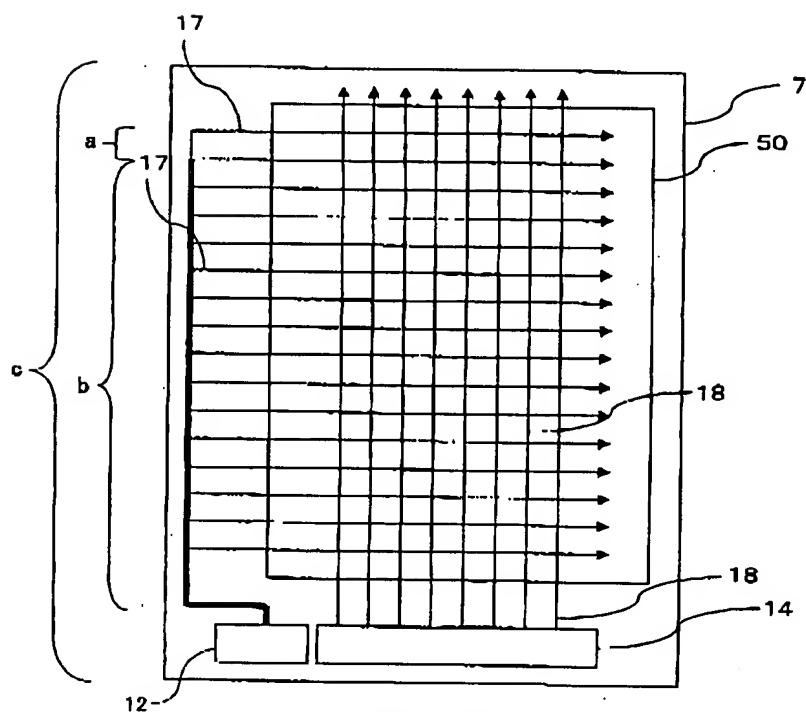


图6





第8図



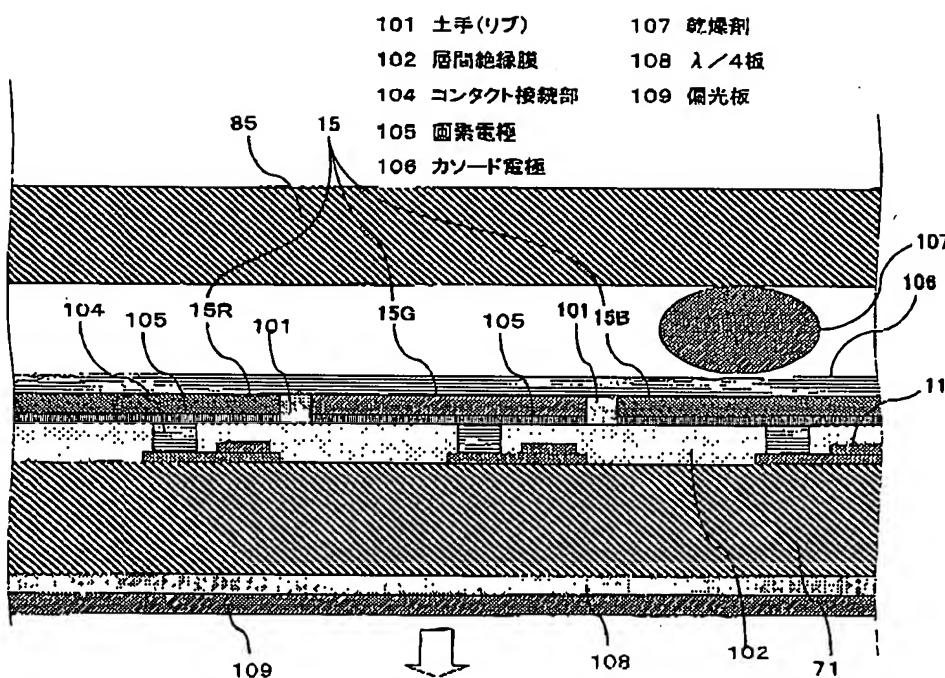
第9図

四〇八

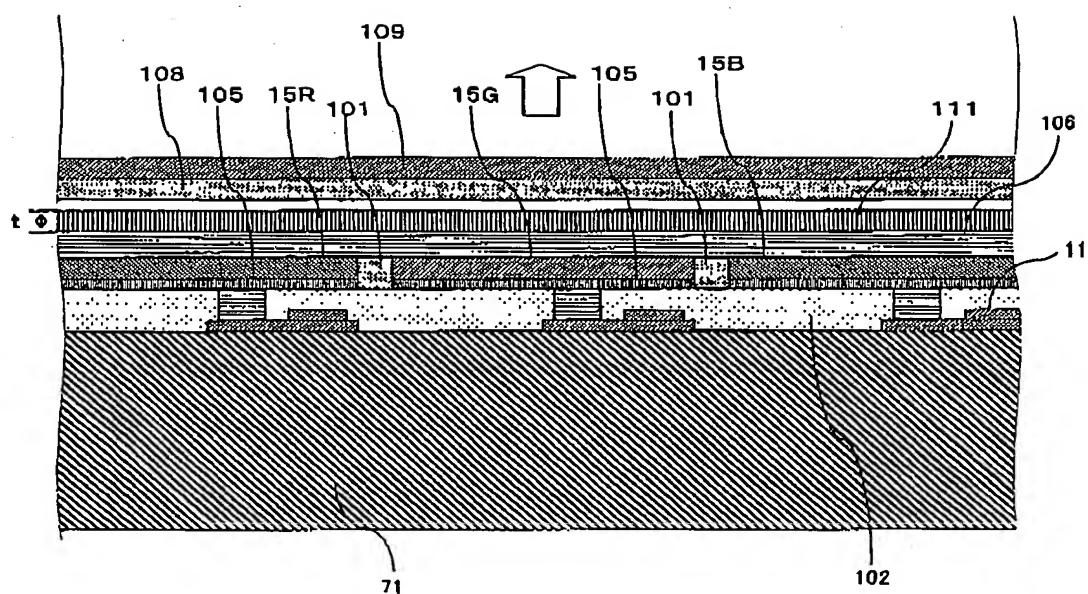
۱۷

OK 13112:338

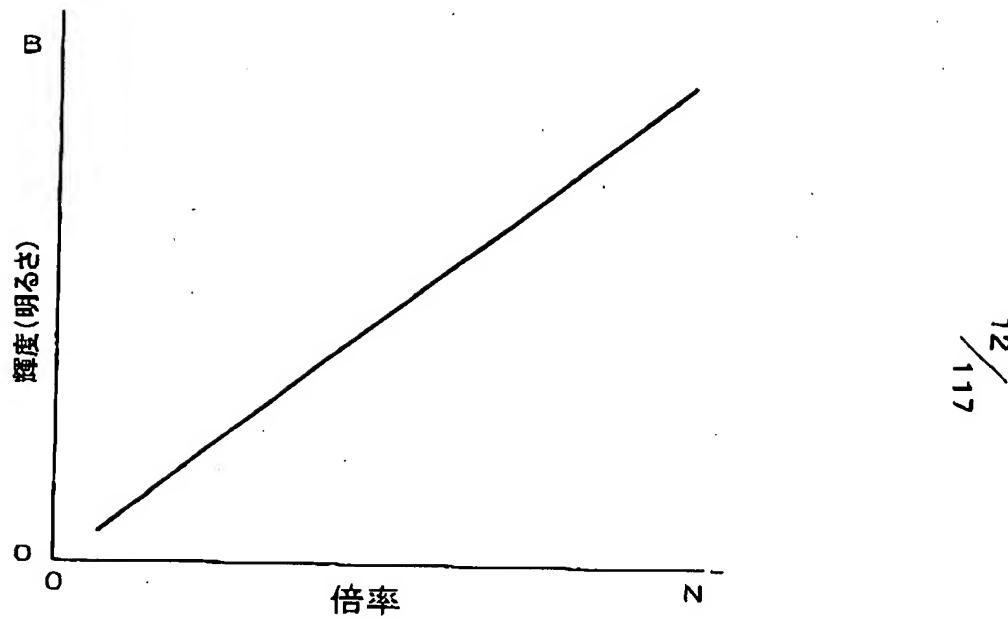
FILMUS



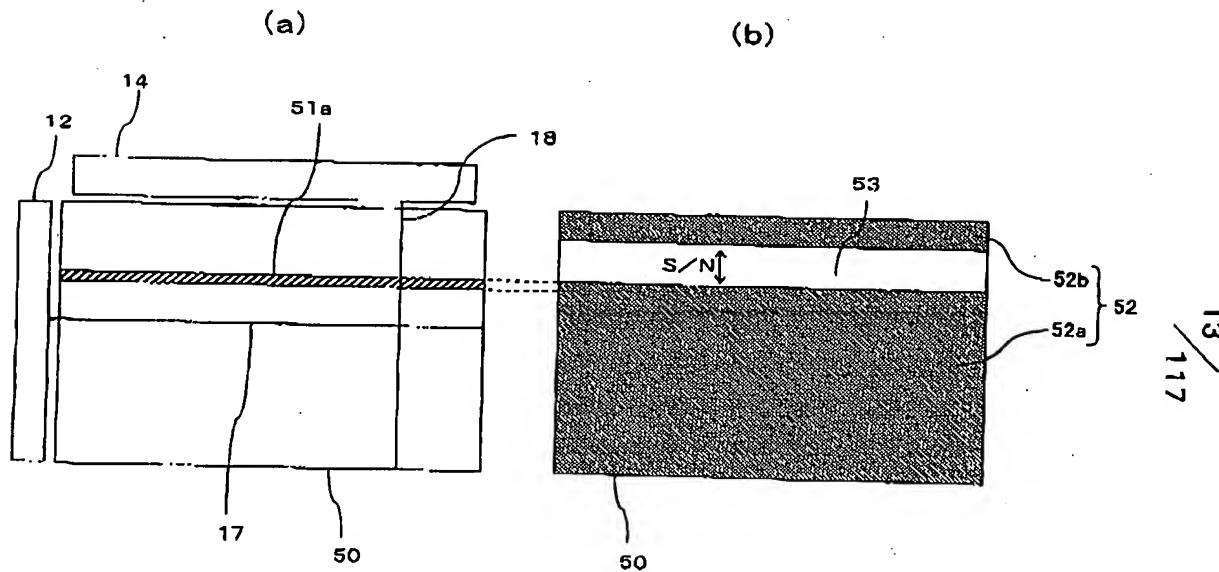
第10図



第11図



第12回



第13図

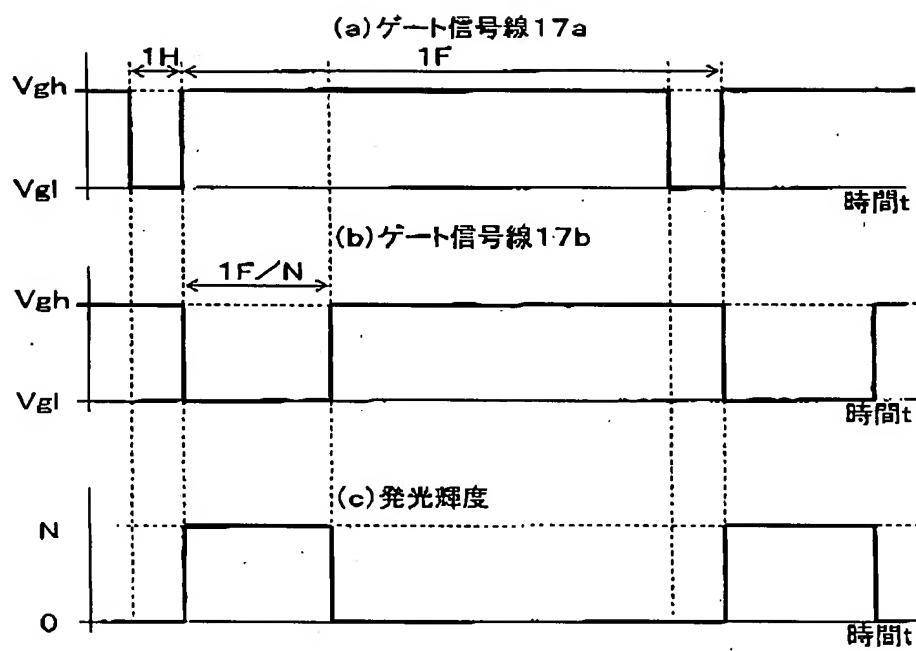
WO 03027398

PCT/JP2002/09659

WO 03027398

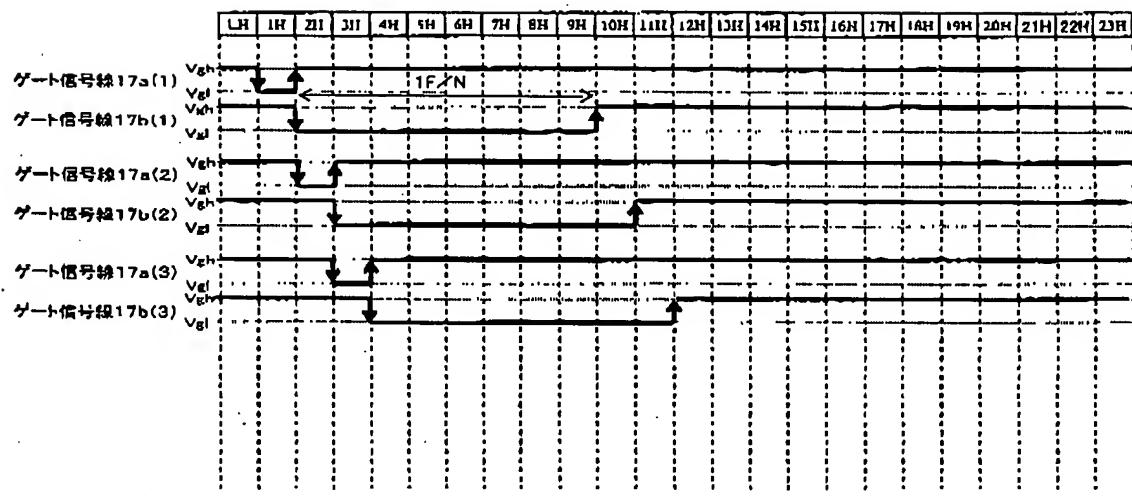
PCT/JP2002/09646

14/117

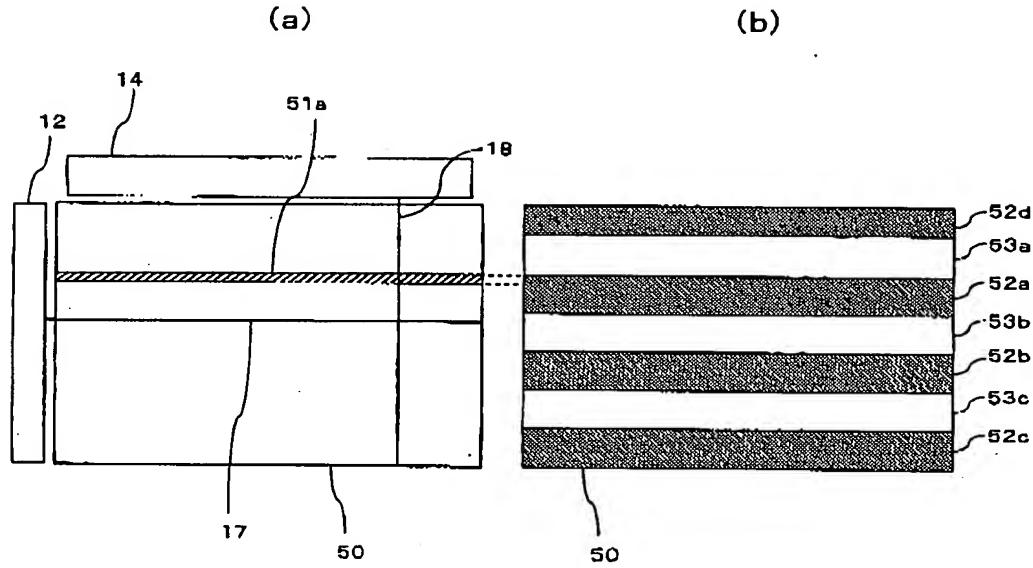


第14図

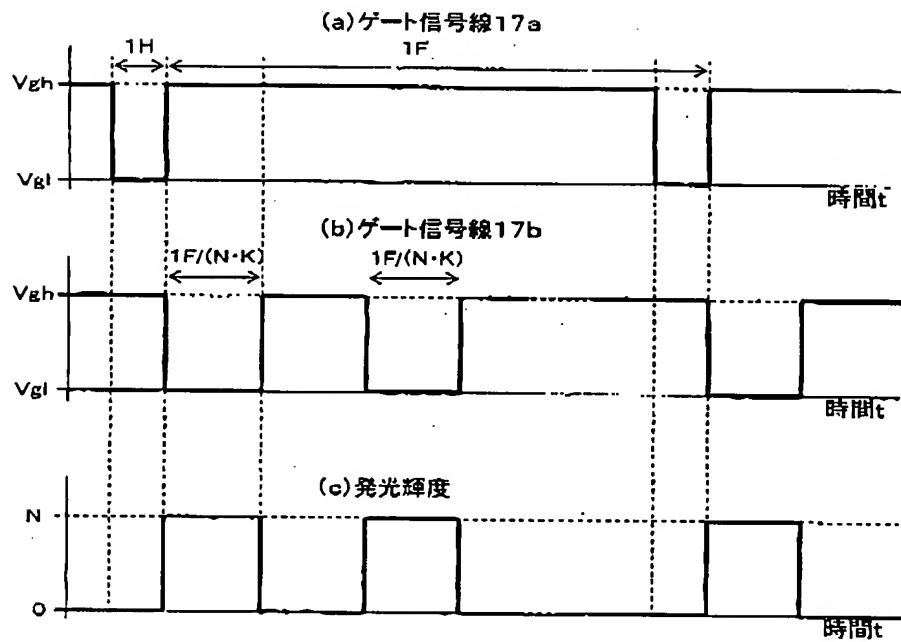
15/117



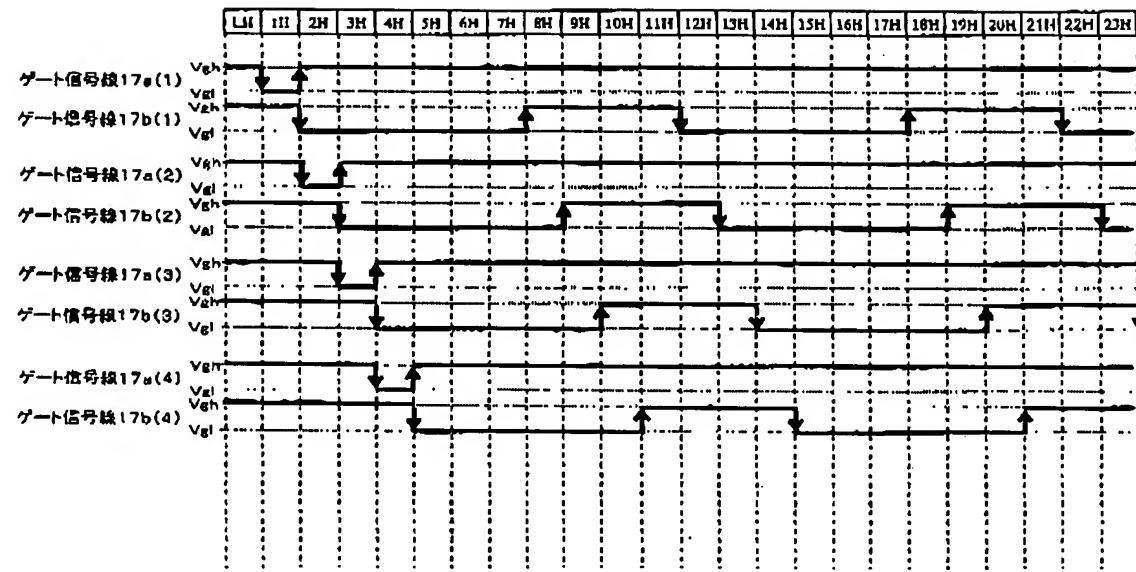
第15図



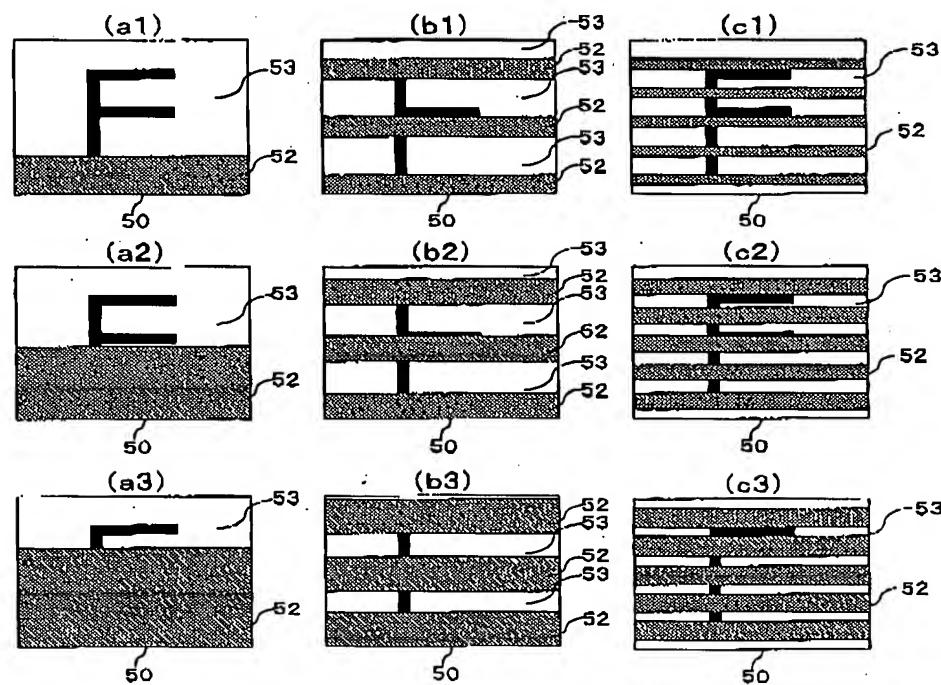
第16図



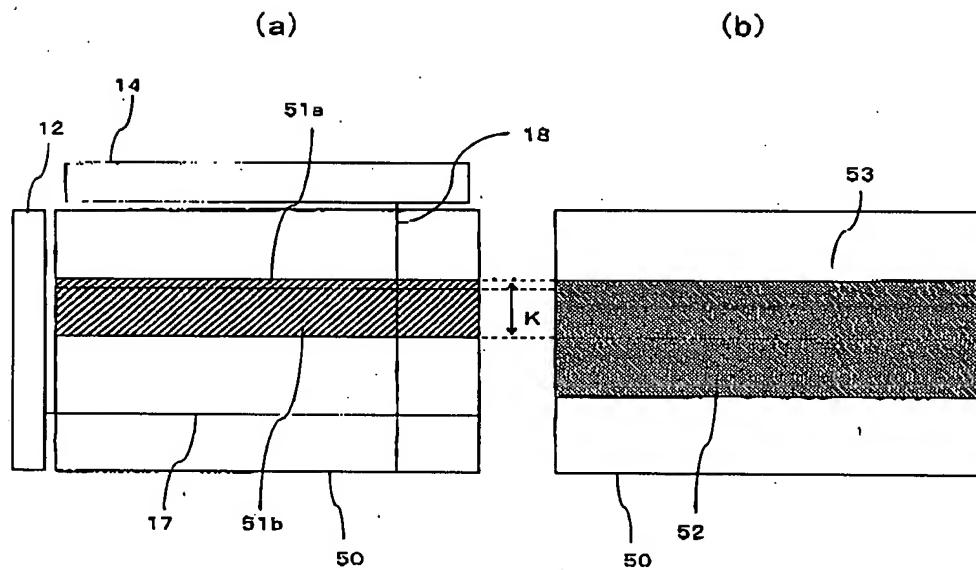
第17図



第18図



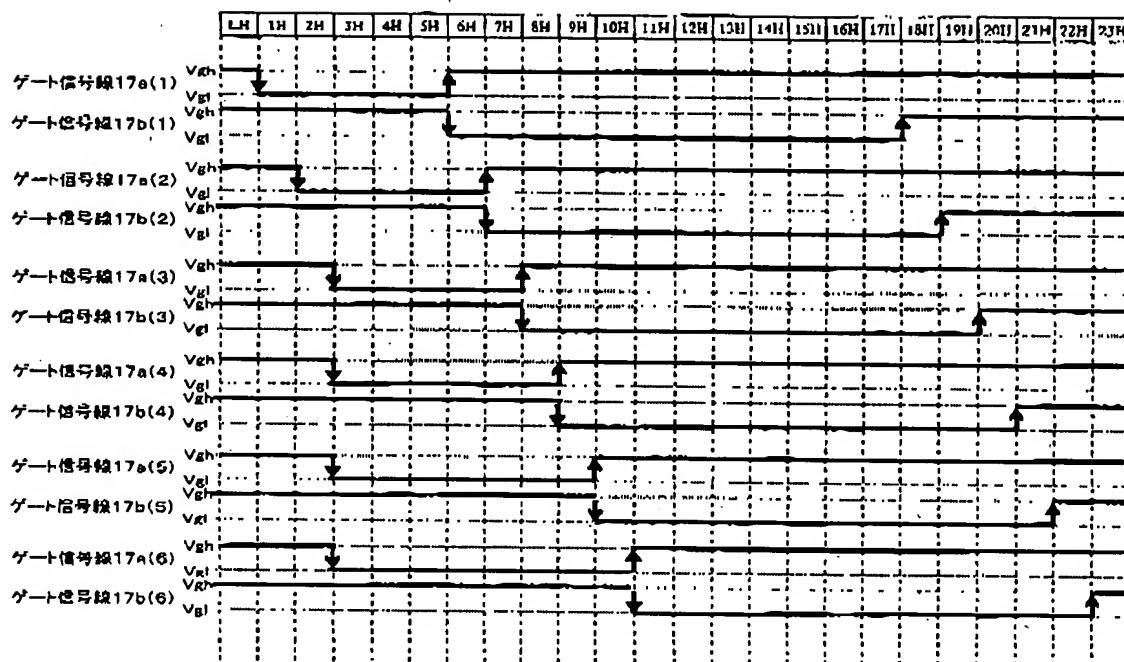
第19図



20/117

PCTJP2009668

第20図

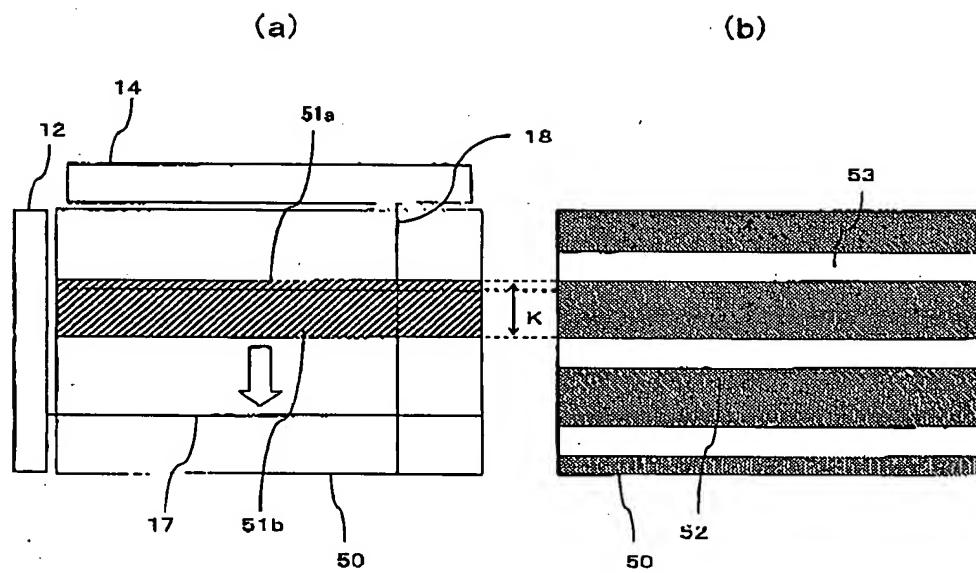


21/117

PCTJP2009668

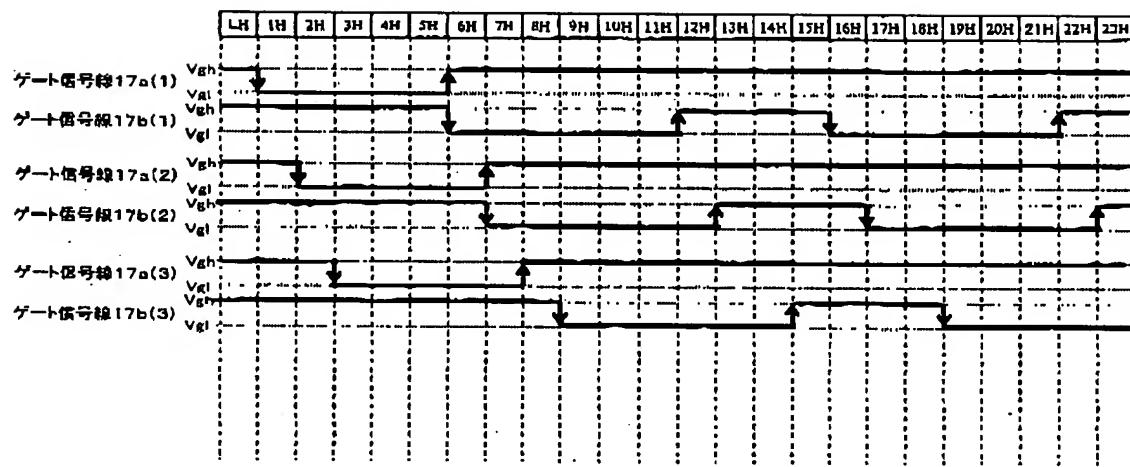
第21図

WO 03N027998

PCT/JP2006/09668
WO2007030098B

22/117

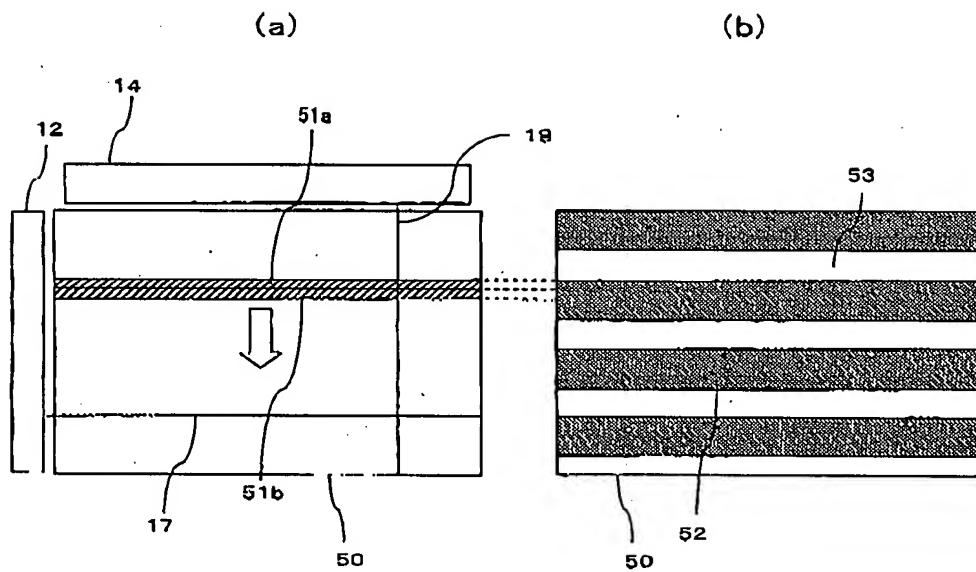
第22図



23/117

第23図

PCT/JP2006/09668
WO2007030098B

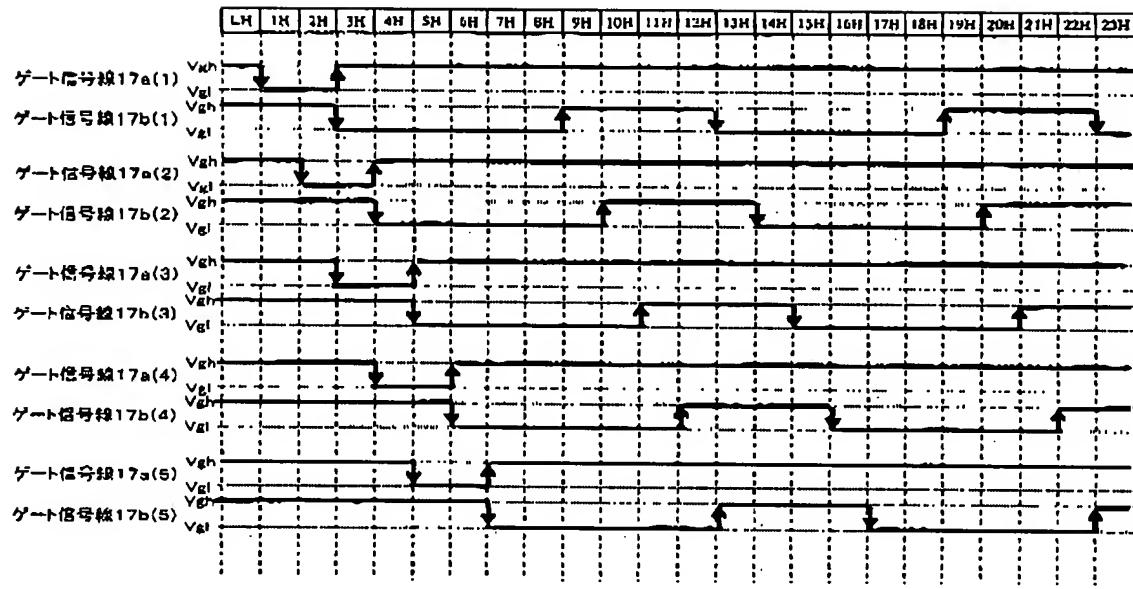


第24図

PCT/JP2007/00669

WO 2008 002368

PCT/JP2007/00669



第25図

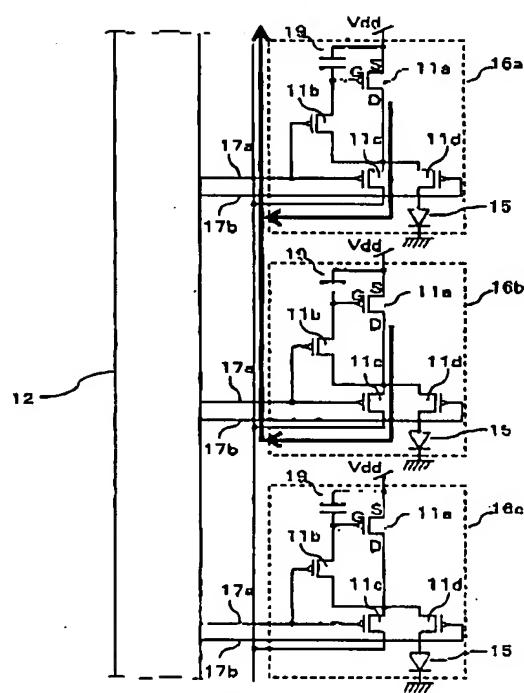
8992410 OM

PCT/JP2006/00663

WO 03027998

PCT/JP2002/00663

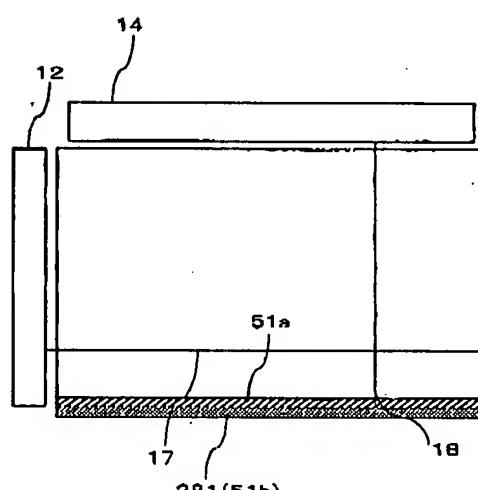
26/117



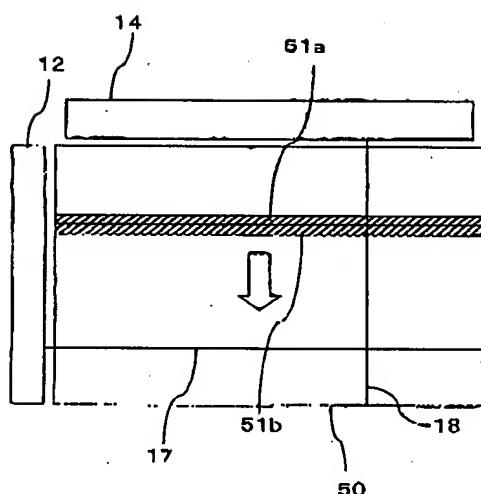
第26図

281 ダミー箇素(行)

(b)

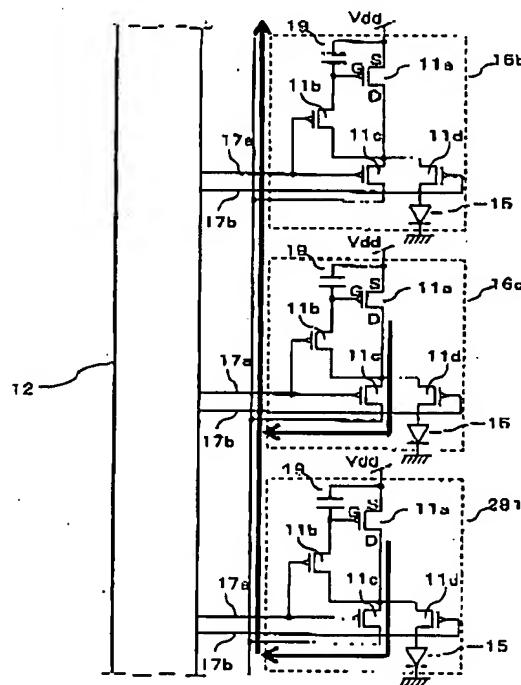


(a)



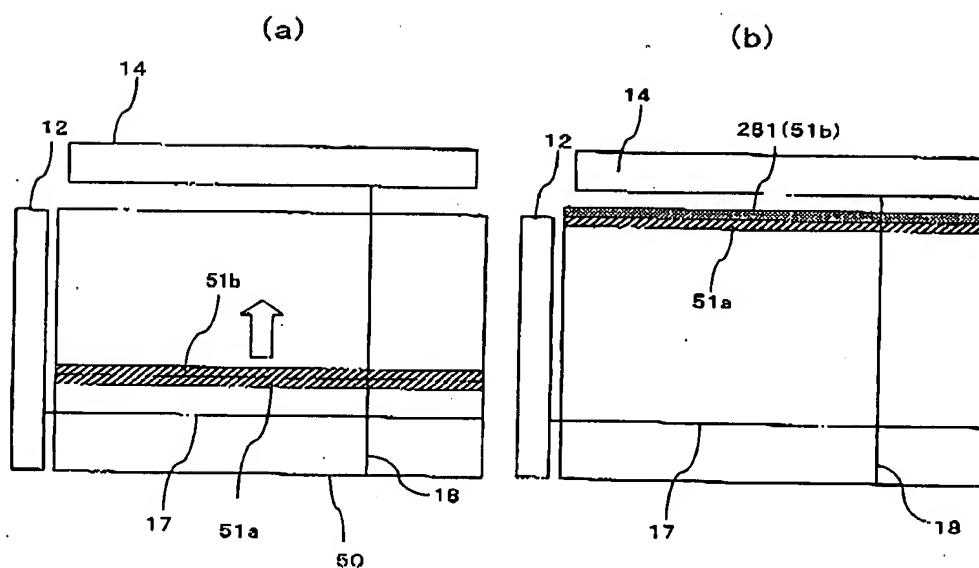
27/117

第27図



第28図

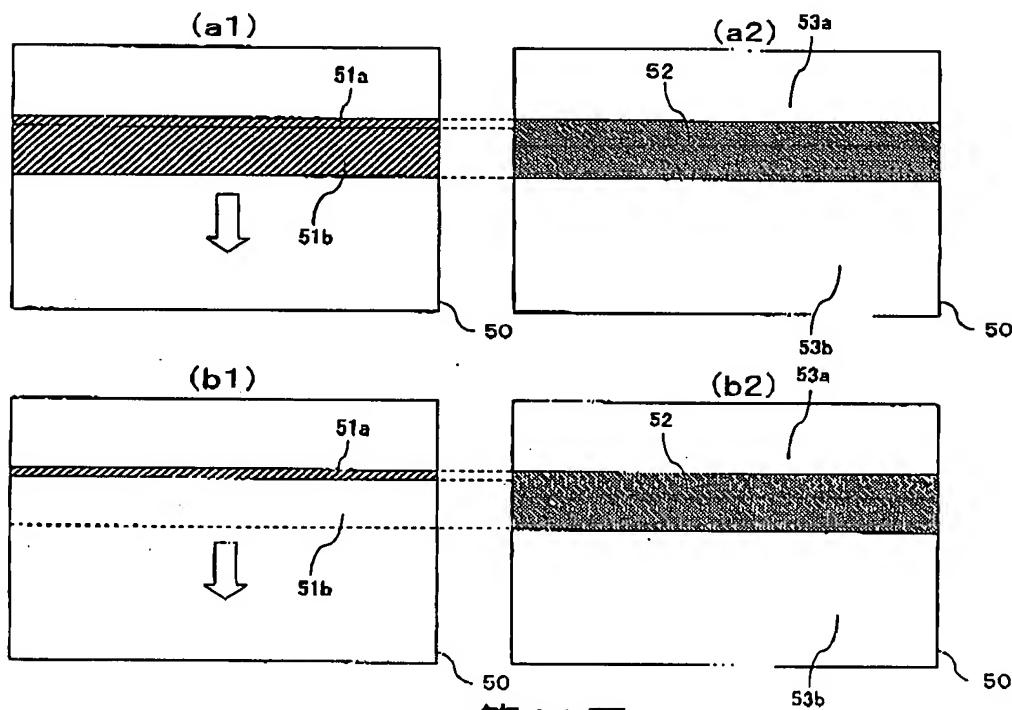
28/117



第29図

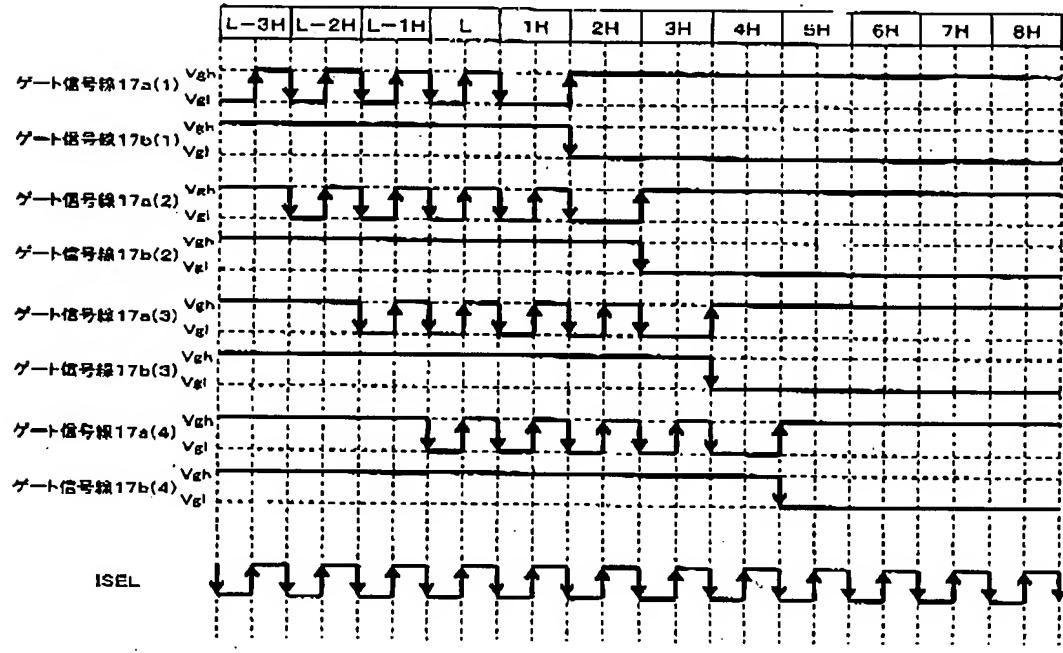
29/117

30 / 117

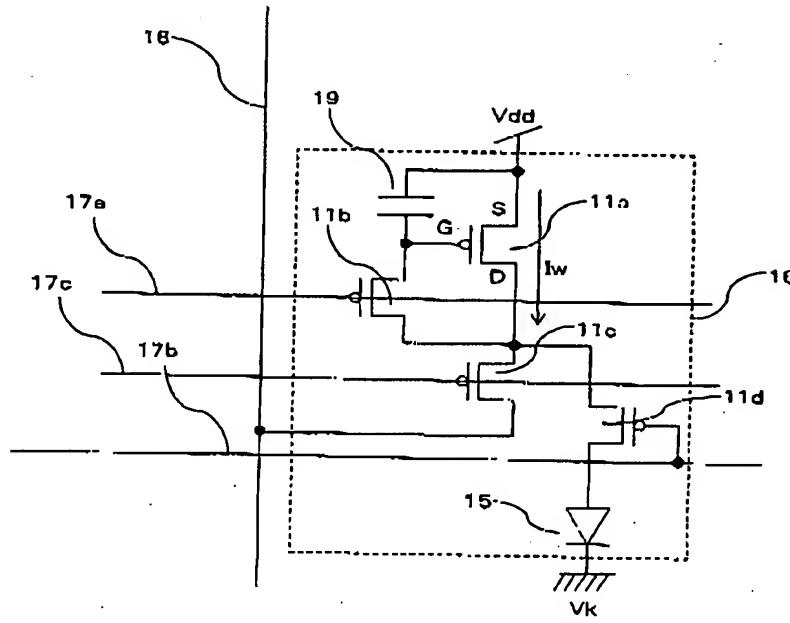


第30図

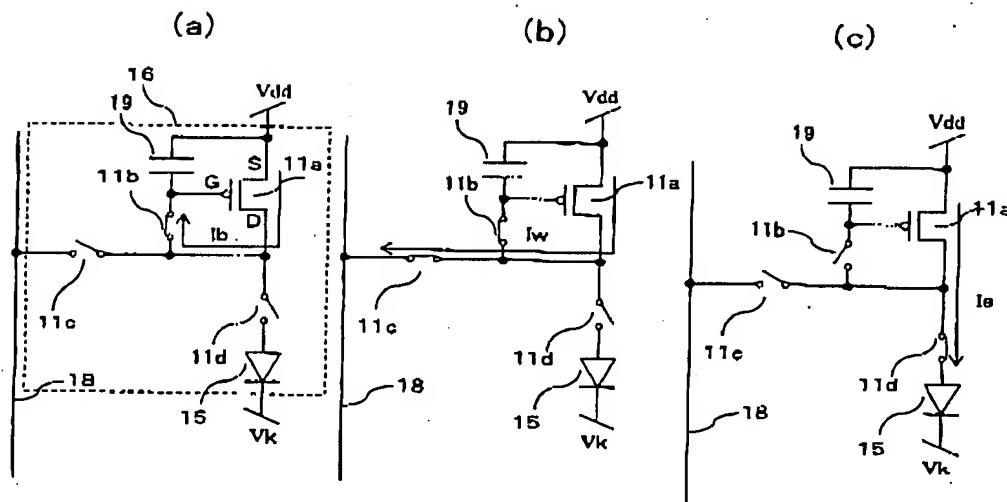
31 / 117



第31図



第32図



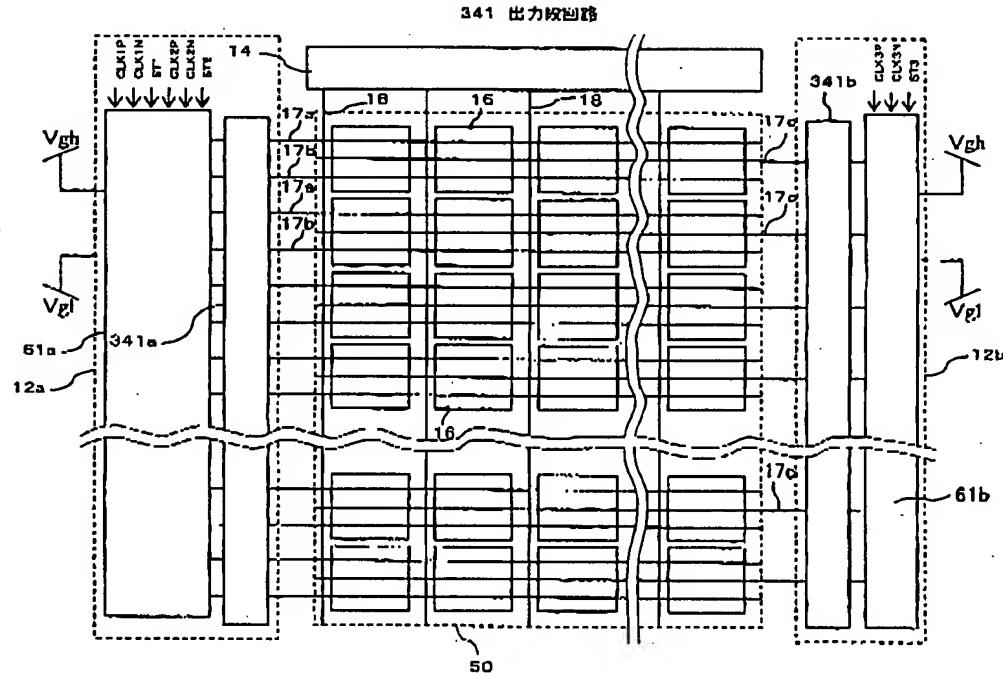
第33図

W02,2668

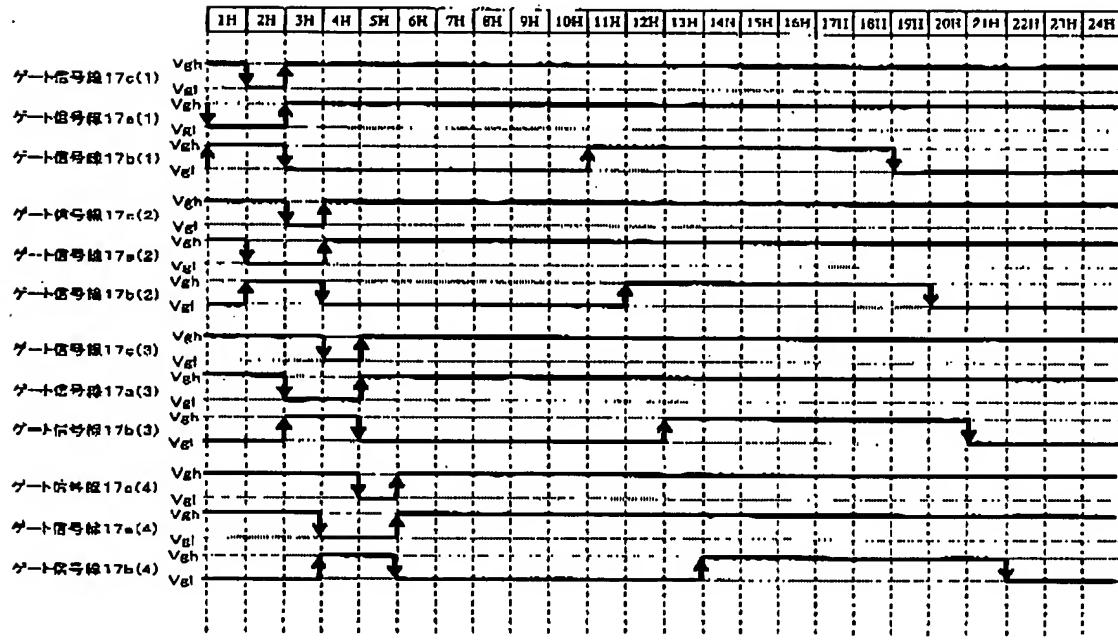
PC TÜV 2.11.1966

864-2030 0,4

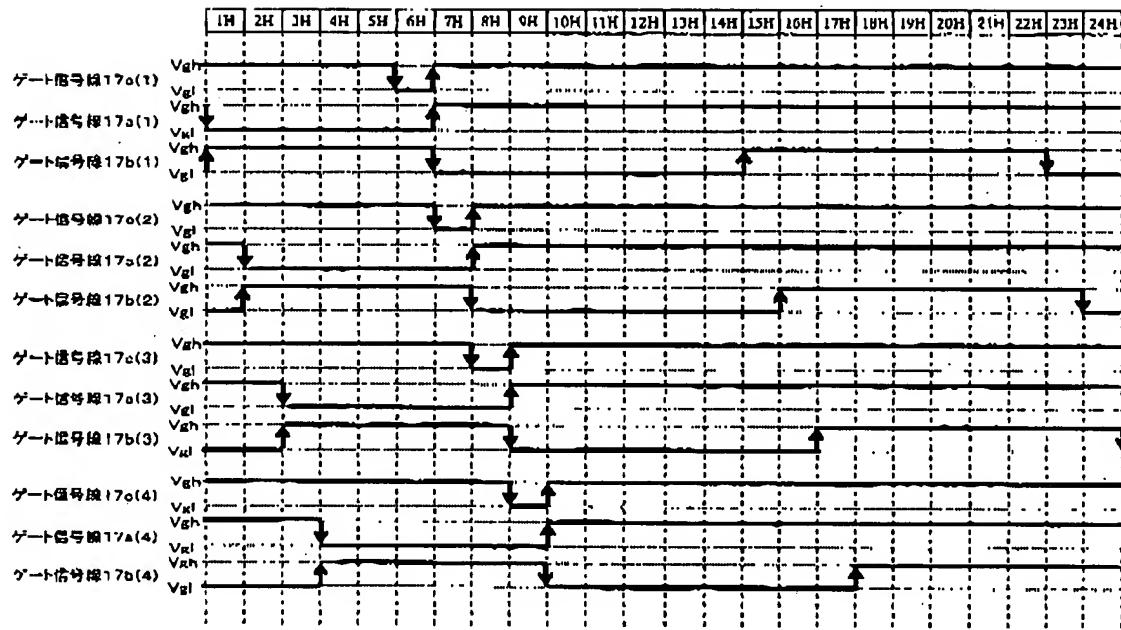
РСТУР024966



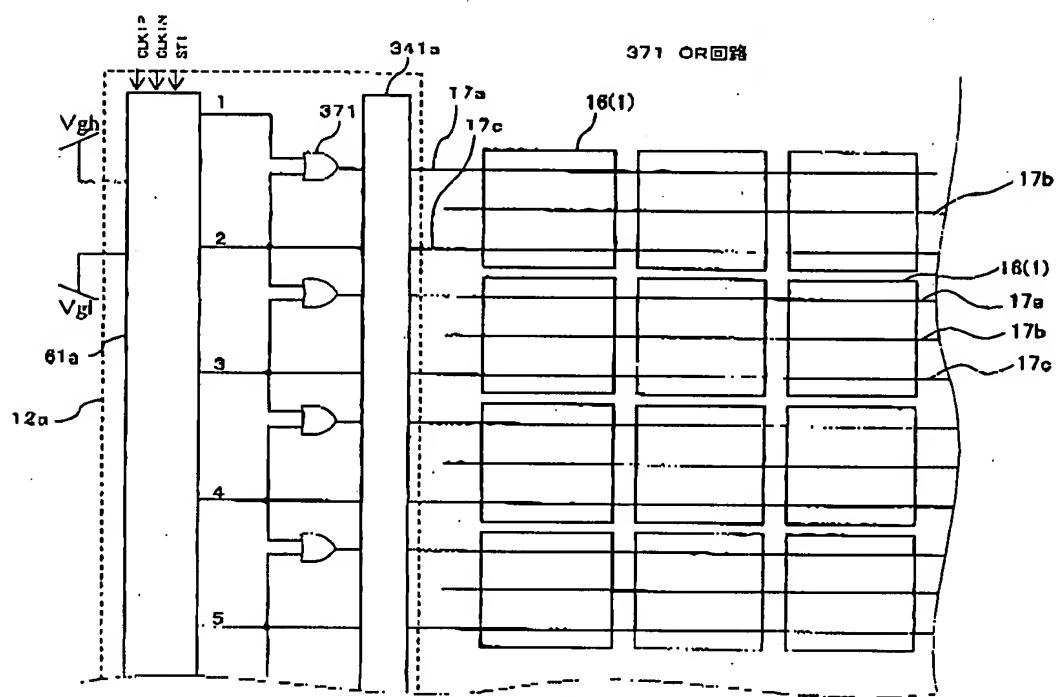
第34図



第35図



第36図



第37図

图39

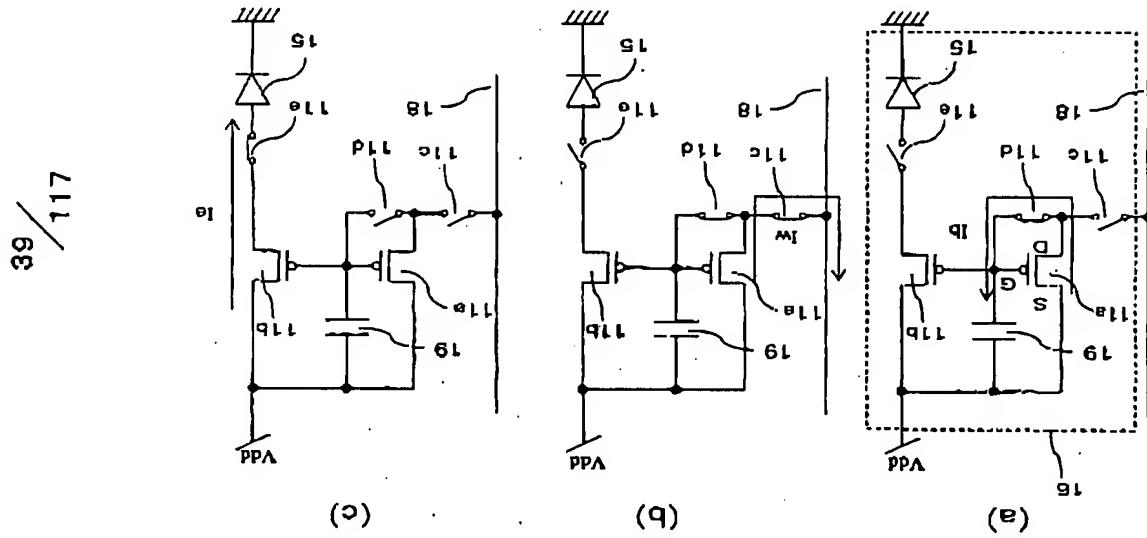
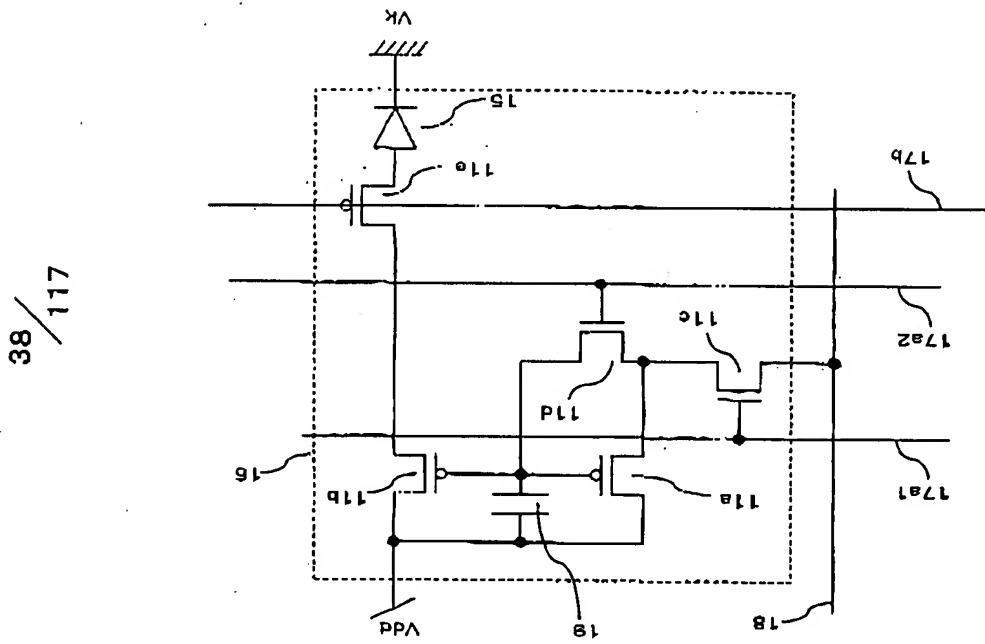
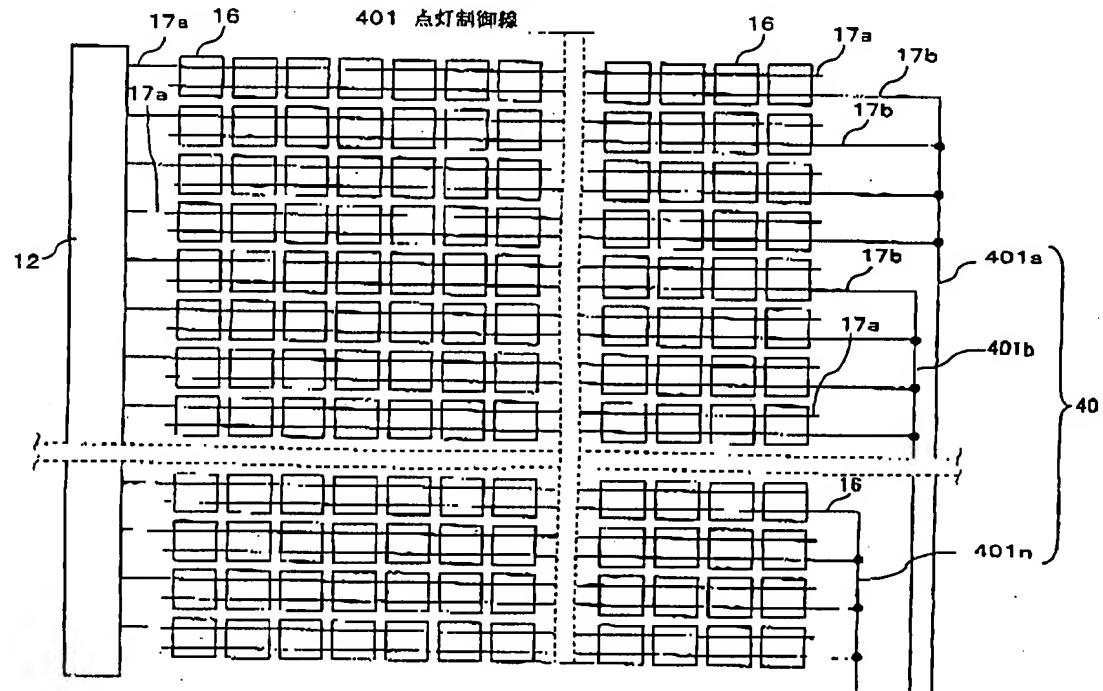


图38





第40図

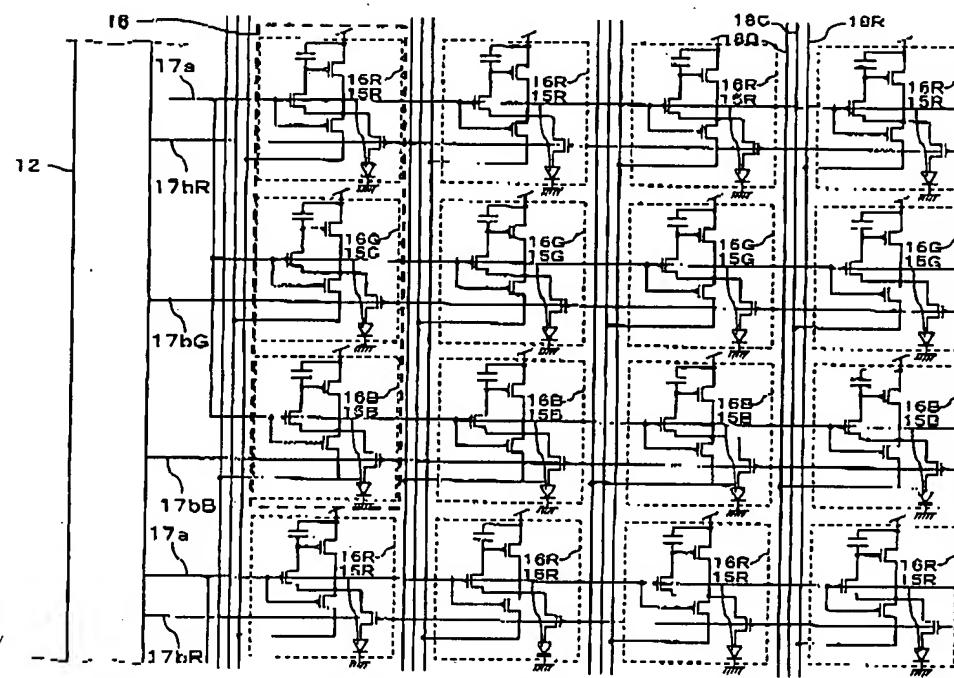
WO 03017998

PCT/JP2003-09563

WO 03017998

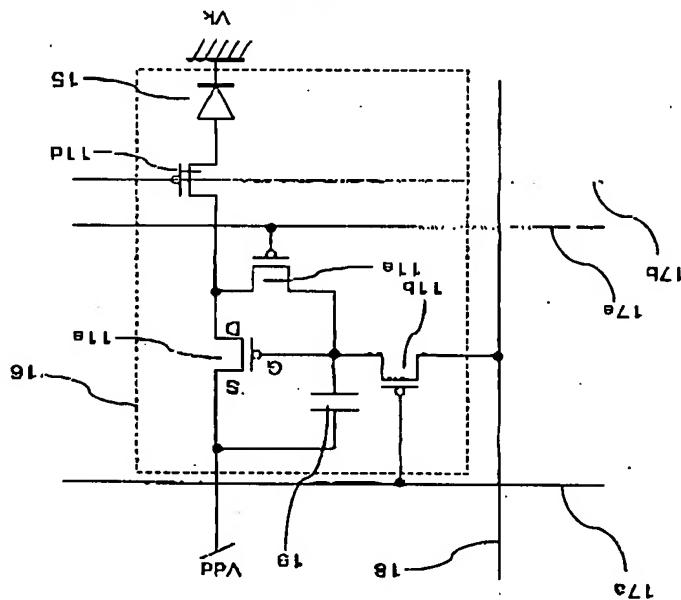
PCT/JP2003-09563

40 / 117



第41図

第43图

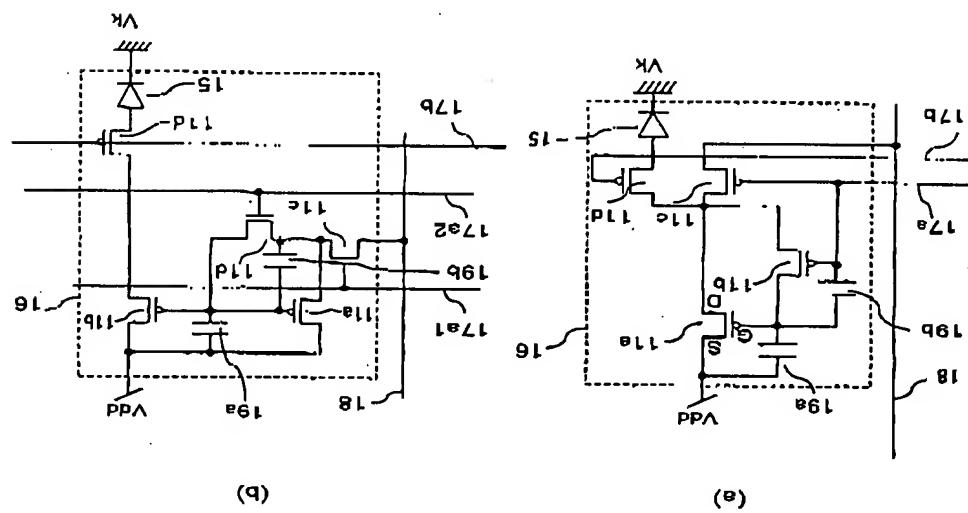


43 / 117

WO 03/027598

PCT/JP20030668

第42图



(a)

(b)

WO 03/027598